



产品手册
ECK33-B 核心板



目录

免责声明和版权公告	1
1. 产品概述	2
1.1. 产品介绍	2
1.2. 产品特点	2
1.3. 核心板功能框图	6
1.4. 典型应用	6
2. 产品选型	6
2.1. 型号配置	6
2.2. 型号编码	7
3. 快速体验	7
4. 功能和参数	8
4.1. 产品功能	8
4.2. 环境特性	10
4.3. I/O 特性	10
4.4. 电气特性	24
5. 核心板硬件设计	24
5.1. 处理器	24
5.2. 内存	25
5.3. 时钟	25
5.4. 存储	25
5.5. 电源	26
5.6. 在板 I/O 分配	27
6. 底板硬件设计	28
6.1. 电源接口	28
6.2. 启动配置	29
6.3. 复位按键	29
6.4. 参考时钟和 NMI	30
6.5. 显示屏接口	30
6.6. 摄像头接口	32
6.7. PCIe 接口	33
6.8. SD/MMC 卡接口	34
6.9. USB 接口	36
6.10. 以太网接口	38
6.11. 模拟音频接口	39
6.12. 数字音频接口	40
6.13. RTC	40
6.14. UART 接口	41
6.15. SPI 接口	42
6.16. I2C 接口	42
6.17. CAN 接口	42
6.18. ADC 接口	43

6.19. LocalBus 接口	45
6.20. GPIO 接口	46
6.21. 硬件设计检查项	46
7. 软件资源	47
8. 结构尺寸	48
9. 焊接指导	49
9.1. 回流焊温度	49
9.2. 回流焊曲线图	50
10. 修订说明	50
11. 关于我们	50

免责声明和版权公告

本文中的信息，如有变更，恕不另行通知。文档“按现状”提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档不负任何责任，包括使用本文档内信息产生的侵犯任何专利权行为的责任。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

文中所得测试数据均为亿佰特实验室测试所得，实际结果可能略有差异。

文中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

最终解释权归成都亿佰特电子科技有限公司所有。

注 意：

由于产品版本升级或其他原因，本手册内容有可能变更。亿佰特电子科技有限公司保留在没有任何通知或者提示的情况下对本手册的内容进行修改的权利。本手册仅作为使用指导，成都亿佰特电子科技有限公司尽全力在本手册中提供准确的信息，但是成都亿佰特电子科技有限公司并不确保手册内容完全没有错误，本手册中的所有陈述、信息和建议也不构成任何明示或暗示的担保。

1. 产品概述

1.1. 产品介绍

亿佰特 ECK33-B 系列核心板是基于全志公司的 T536 系列处理器精心设计的, 采用全新 LGA 接口形式的高性能、低功耗、高可靠性、全国产化工工业级嵌入式核心板。可广泛应用于内容共享和自助服务终端、智能制造以及其他电子商业和工业设备。

全志 T536 系列是具备高性能的四核 Cortex-A55 AI 平台的 SoC 产品, 适用于商业、工业和汽车领域。该芯片家族集成了四核 Cortex-A55 CPU、E907 RISC-V MCU、2 TOPS NPU、32 位 DDR3/DDR3L/DD4/LPDDR3/LPDDR4/LPDDR4X DRAM、高速接口 (PCIe2.1 和 USB3.1)、汽车接口 (CAN FD)、多视频输出接口 (RGB、Dual-link LVDS、MIPI-DSI) 以及视频输入接口 (MIPI-CSI)。该芯片家族支持 4K@25fps H.264 编码器、4K@15fps MJPEG 编码器、支持几何畸变校正 (GDC), 包括镜头畸变校正 (LDC) 和鱼眼校正 (FEC), 为用户提供高效的视频采集和处理。

ECK33-B 系列核心板包含 2 种具体产品型号, 均采用全国产化工工业级器件设计。它们主要在 NPU 支持、DRAM 内存容量、eMMC 存储容量等方面有一些差异, 客户可根据需求自行选择合适的型号。产品选型详见产品选型章节。

ECK33-B 系列核心板实物图 (产品底面无器件) 如下:



实物图

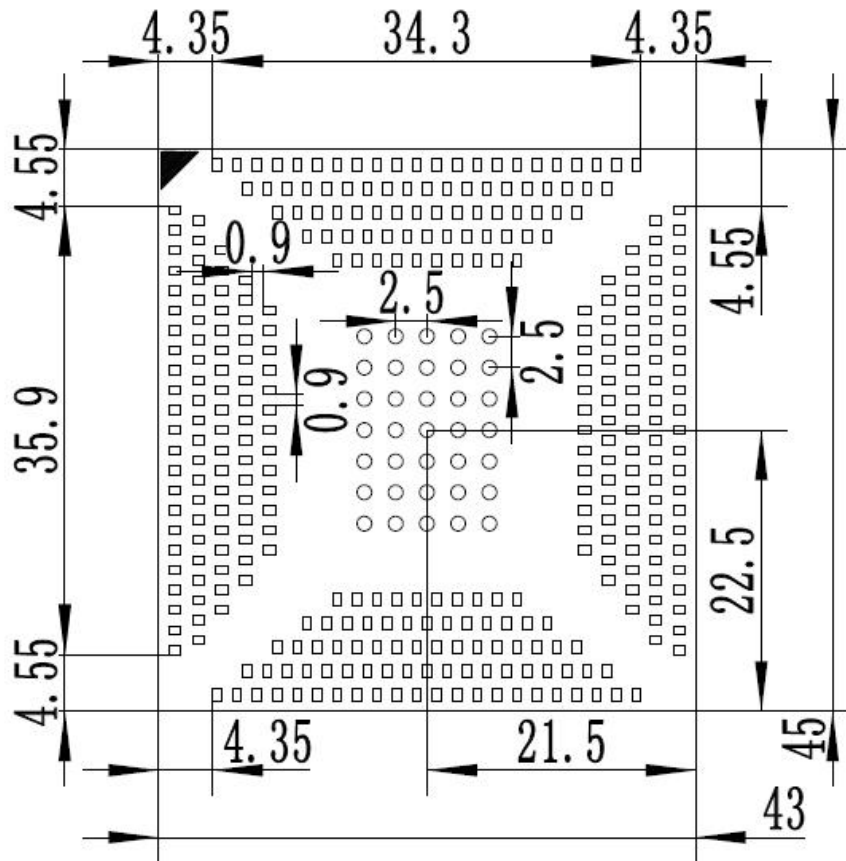
1.2. 产品特点

1. 处理器: 全志 T536MX 系列处理器;

- ◆ 四核 ARM Cortex™-A55@1.6GHz;

- ◆ E907 RISC-V MCU@600MHz;
 - ◆ NPU 2 TOPS (仅 T536MX-CEN2 支持);
 - ◆ ECC 数据保护;
2. 显示引擎:
- ◆ MJPEG Decoder, 最大支持 3840 x 2160@15fps;
 - ◆ JPEG Decoder, 最大支持 1920 x 1080@60fps;
 - ◆ H.264 Encoder, 最大支持 3840 x 2160@25fps;
 - ◆ JPEG Encoder, 最大支持 3840 x 2160@15fps;
 - ◆ MJPEG Encoder, 最大支持 3840 x 2160@15fps;
3. 内存: 板载 LPDDR4 2GB/4GB, 32bits;
4. 存储: 16GB/32GB eMMC 可选;
5. 视频输出:
- ◆ 1 路 Dual-link LVDS, 最大支持 1920 x 1080@60fps;
 - ◆ 1 路 4-lane MIPI DSI, 最大支持 1920 x 1200@60fps;
 - ◆ 1 路 RGB, 最大支持 1920 x 1200@60fps;
6. 视频输入:
- ◆ MIPI CSI, 可配置 4+4-lane 或 4+2+2-lane 或 2+2+2+2-lane;
 - ◆ Parallel CSI, 支持 8/10/12/16-bit 宽度;
7. 音频:
- ◆ 1 路 audio 差分 lineout 输出 (LINEOUTP/N);
 - ◆ 4 路 I2S/PCM 接口 (I2S0, I2S1, I2S2, and I2S3);
 - ◆ 支持最大 8 路数字麦克风 (digital PDM microphones);
 - ◆ 1 路 OWA TX 和 1 路 OWA RX, 符合 S/PDIF 接口规范;
8. 网络: 2 路千兆以太网控制器, 支持 RGMII/RMII 接口;
9. PCIE: 1 路 PCIe2.1, RC mode (与 USB3.1 复用);
10. USB: 1 路 USB2.0 DRD, 1 路 USB2.0 HOST;
- ◆ 1 路 USB2.0 DRD;
 - ◆ 1 路 USB2.0 Host;
 - ◆ 1 路 USB3.1 DRD (与 PCIe2.1 复用);
11. SDIO: 2 路 SD/MMC Host 控制器;

- ◆ SMHC0, 符合 SD3.0 规范;
 - ◆ SMHC1, 符合 SDIO3.0 规范;
12. 17 路 UART;
 13. 4 路 CAN FD;
 14. 9 路 I2C;
 15. 34 路 PWM;
 16. 6 路 SPI;
 17. ADC:
 - ◆ 1 路 LRADC, 6bits, 最大 2KHz 采样率;
 - ◆ 28 路 GPADC, 12bits, 最大 1MHz 采样率;
 18. 4 路 IR RX, 1 路 IR TX;
 19. 最大支持 1024 个 LED 串行连接;
 20. 最大支持 199 路 GPIO 和 GPIO 中断;
 21. 电源:
 - ◆ 单路 DC +5V $\pm$ 10%@2A 电源输入;
 - ◆ 1 路 3.3V@500mA 电源输出;
 22. 接口类型: LGA 381 PIN;
 23. PCB 尺寸: 45 $\times$ 43 $\times$ 1.6mm, 尺寸如下图所示:



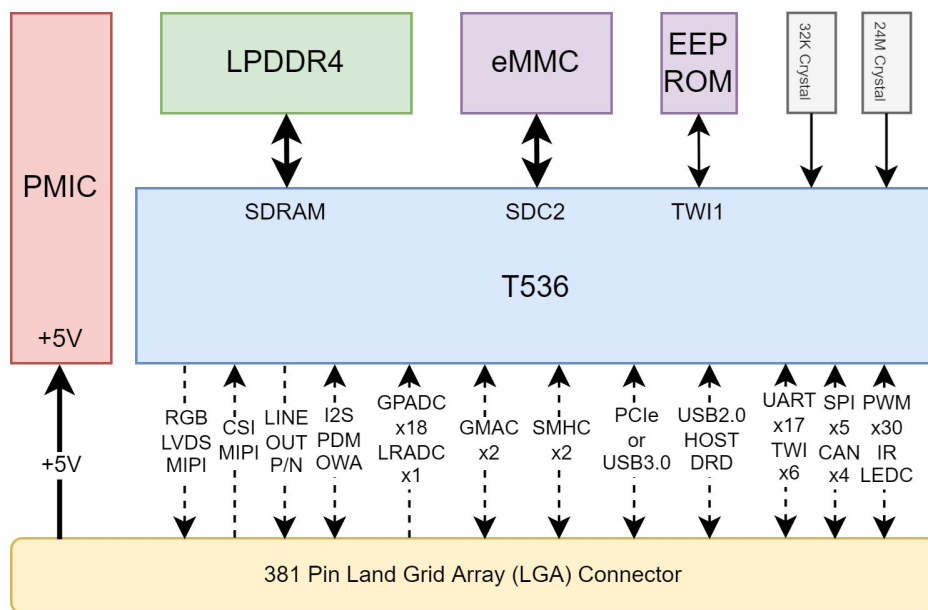
尺寸示意图

24. 工作温度:

◆ 工业级: -40℃-85℃;

25. PCB 工艺: 12 层板设计, 沉金, 无铅工艺;

1.3.核心板功能框图



功能框图

1.4.典型应用

- 智能家居;
- 智能玩具;
- 智慧城市;
- 平板电脑;
- 物联网网关;
- 广告一体机;
- 工业一体机;
- 工业控制主板;
- 机器人、无人机。

2. 产品选型

2.1.型号配置

ECK33-B 系列核心板选型配置表如下表:

产品选型和配置表

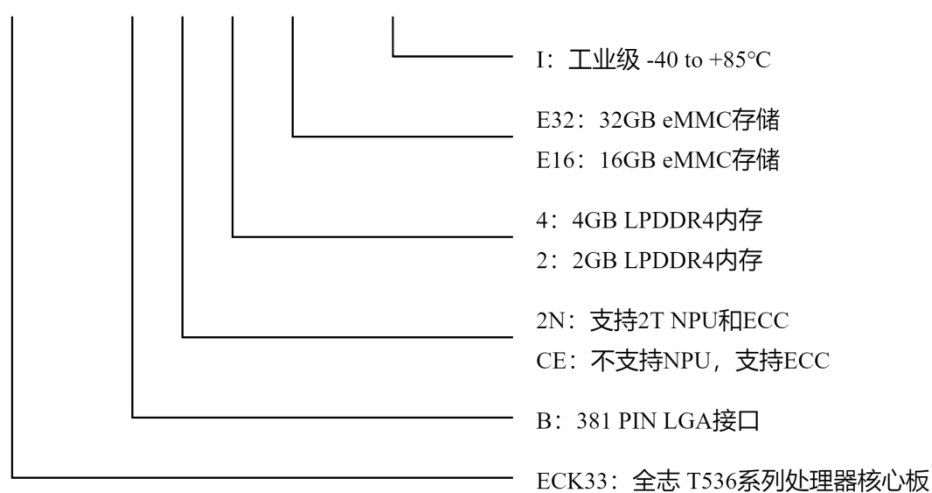
序号	产品型号	处理器型号	内存	存储	工作温度
1	ECK33-B2N4E32-I	T536MX-CEN2	4GB	32GB	国产工业级

			LPDDR4	eMMC	-40℃ ~ 85℃
2	ECK33-BCE2E16-I	T536MX-CEX	2GB LPDDR4	16GB eMMC	国产工业级 -40℃ ~ 85℃

2.2.型号编码

产品型号编码说明如下图:

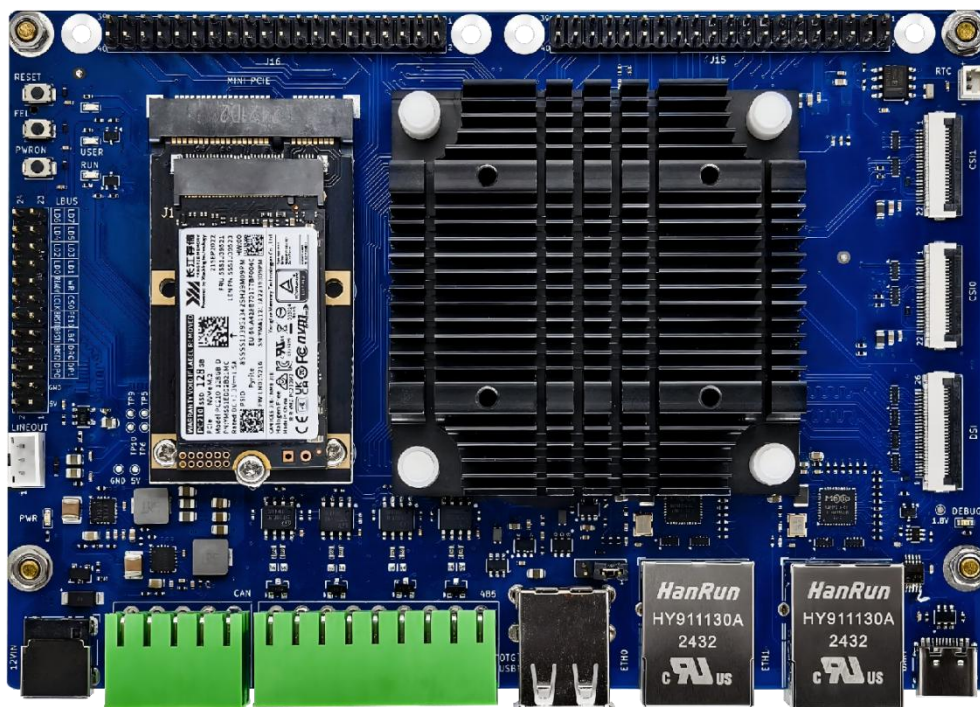
ECK33 - B 2N 4 E32 - I



型号编码说明

3. 快速体验

选择亿佰特 ECB33-PGB 系列单板机产品, 可快速体验 ECK33-B 核心板产品典型应用功能, 了解底板硬件设计, 软件开发等开发方法。



ECB33-PGB 系列单板机产品图

4. 功能和参数

4.1. 产品功能

ECK33-B 系列核心板主要集成了处理器、DRAM 内存、eMMC 存储和 PMIC 电源系统，并引出了处理器上的所有 I/O 引脚。用户可以根据自己的需要，设计底板来应用核心板上的 I/O 资源，将 I/O 复用成自己所需要的功能接口。

下表列举了 ECK33-B 系列核心板在板集成的主要功能参数，和可复用 I/O 资源的功能参数。其中每项 I/O 功能的描述是在不使用其他 I/O 功能的前提下，核心板所能使用该项 I/O 功能的最大指标（例如在使用 24 位色 RGB 接口功能和网络接口功能后，就不能实现全部 UART 功能）。

产品功能表

功能	功能描述
CPU	T536MX-CEN2 / T536MX-CEX; Quad-core ARM Cortex-A55, up to 1.6GHz; E907 RISC-V MCU, up to 600MHz; NPU up to 2 TOPS (CEX not support); ECC Protection;
ISP	Supports multiple sensor (up to 4) inputs; Supports raw8/10/12/14/16;

	Performance of one sensor: Online: 5M@30fps (linear), 5M@30fps(2f-wdr); Offline: 8M@30fps (linear), 8M@30fps (2f-wdr);
MEM	On board 2GB LPDDR4 / 4GB LPDDR4;
FLASH	On board 16GB / 32GB eMMC;
Video Engine	MJPEG Decoder, up to 3840 x 2160@15fps; JPEG Decoder, up to 1920 x 1080@60fps; H.264 Encoder, up to 3840 x 2160@25fps; JPEG Encoder, up to 3840 x 2160@15fps; MJPEG Encoder, up to 3840 x 2160@15fps;
Video Output	1x Dual-link LVDS, up to 1920 x 1080@60fps; 1x 4-lane MIPI DSI, up to 1920 x 1200@60fps; 1x RGB, up to 1920 x 1200@60fps;
Video Input	4+4-lane or 4+2+2-lane or 2+2+2+2-lane MIPI CSI; 8/10/12/16-bit Parallel CSI;
Audio	1x audio differential lineout output: LINEOUTP/N; 4x I2S/PCM interfaces (I2S0, I2S1, I2S2, and I2S3); Supports maximum 8 digital PDM microphones; 1x OWA TX and 1x OWA RX, compliant with S/PDIF interface;
GMAC	2x 10/100/1000Mbit/s Ethernet with RGMII and RMII interfaces;
SMHC	2x SD/MMC Host Controller (SMHC) interfaces; SMHC0, compliant Secure Digital Memory (up to SD3.0); SMHC1, compliant Secure Digital I/O (up to SDIO3.0);
PCIe	1x PCIe2.1&USB3.1 combo PHY; Compliance to PCI Express Base Specification, Revision 2.1; Supports 1 lane link width, Root Complex (RC) mode;
USB	1 x USB2.0 Host; 2 x USB2.0 DRD; 1 x USB3.1 DRD&PCIe2.1 Combo;
Local Bus	1x 8/16-bit wide Local Bus;
UART	17x UART, compatible with industry-standard 16450/16550;
TWI	9x TWI, compliant with I2C bus standard;
SPI	6x SPI, support SPI mode and display bus interface (DBI) mode;
CAN	4x CAN-FD ports (up to 64 data bytes);
PWM	30x PWM channels and 4x S-PWM channels;
ADC	1x LRADC, 6-bit resolution up to 2KHz sampling rate; 28x GPADC, 12-bit resolution up to 1MHz sampling rate;
LED	Maximum 1024 LEDs serial connect;
IR	1x IR_TX interface, 4x IR_RX interface;
GPIO	199x GPIOs and GPIO interrupt input;

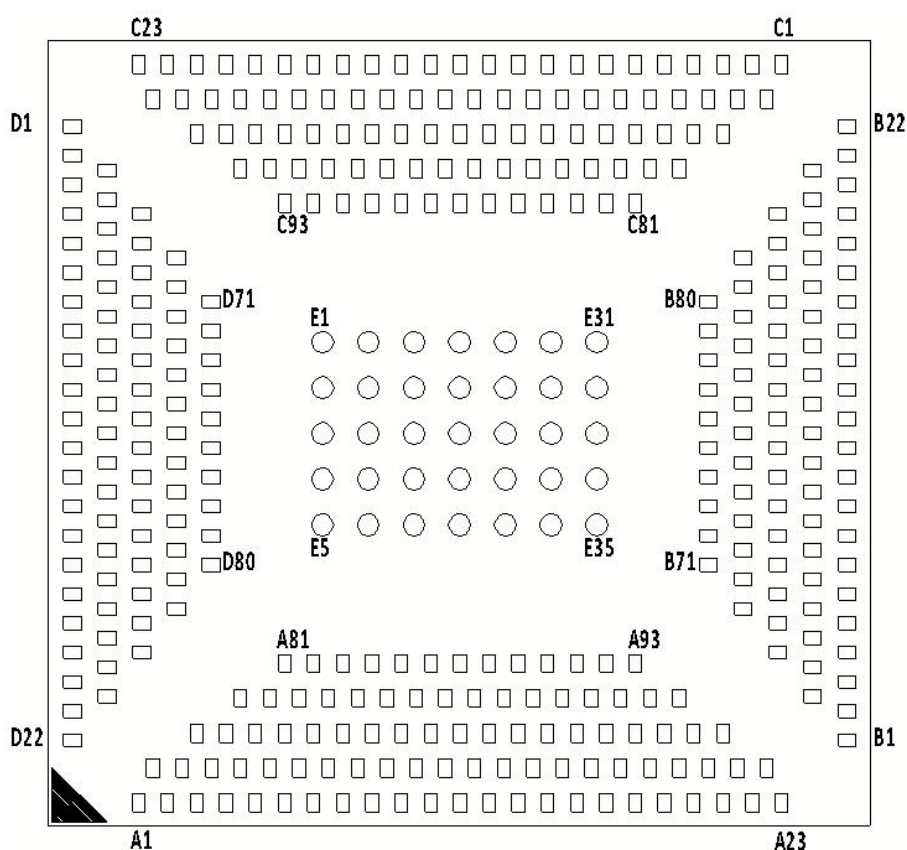
4.2.环境特性

环境特性表

工作温度	工业级	-40℃ ~ 85℃;
贮存温度	-40℃ ~ 85℃;	
工作湿度	5%~95%湿度, 非凝结;	
贮存湿度	60℃@95%湿度, 非凝结;	

4.3.I/O 特性

4.3.1. 引脚编号图



引脚编号图 (顶视图)

注: 上图为顶视图, 与从实物底面观察的引脚是镜像关系。

4.3.2. 引脚定义表

ECK33-B 核心板接口引脚定义如下表所示, 如需改动管脚功能, 请修改相关驱动配置代码。

引脚定义表

LGA	Pin Name	MPU	Power Rail	Type	Comment
A01	VDD_IN_5V	/	VDD_IN_5/5.0V	PWR	External input 5V

A02	VDD_IN_5V	/	VDD_IN_5/5.0V	PWR	External input 5V
A03	VDD_IN_5V	/	VDD_IN_5/5.0V	PWR	External input 5V
A04	VDD_IN_5V	/	VDD_IN_5/5.0V	PWR	External input 5V
A05	DGND	/	DGND/0.0V	GND	
A06	DGND	/	DGND/0.0V	GND	
A07	PC3	Y3	CLDO1/1.8V	I/O	
A08	PC2	V5	CLDO1/1.8V	I/O	
A09	PC4	Y4	CLDO1/1.8V	I/O	
A10	DGND	/	DGND/0.0V	GND	
A11	GPADC3-0	H27	ALDO4/1.8V	AI	
A12	DGND	/	DGND/0.0V	GND	
A13	DGND	/	DGND/0.0V	GND	
A14	AP-CK24M-OUT	AH28	ALDO4/1.8V	AO	
A15	AP-CK32K-OUT	AF28	RTC/1.8V	AO	1nF pull down, 10KΩ pull up
A16	DGND	/	DGND/0.0V	GND	
A17	DGND	/	DGND/0.0V	GND	
A18	DGND	/	DGND/0.0V	GND	
A19	DGND	/	DGND/0.0V	GND	
A20	PA_GPADC06	G29	CLDO4/3.3V	I/O	1.8V for ADC and 3.3V for GPIO
A21	PA_GPADC02	F27	CLDO4/3.3V	I/O	1.8V for ADC and 3.3V for GPIO
A22	PA_GPADC09	H26	CLDO4/3.3V	I/O	1.8V for ADC and 3.3V for GPIO
A23	PI12	F21	DCDC4/3.3V	I/O	
A24	VDD_IN_5V	/	VDD_IN_5/5.0V	PWR	External input 5V
A25	VDD_IN_5V	/	VDD_IN_5/5.0V	PWR	External input 5V
A26	VDD_IN_5V	/	VDD_IN_5/5.0V	PWR	External input 5V
A27	VDD_IN_5V	/	VDD_IN_5/5.0V	PWR	External input 5V
A28	DGND	/	DGND/0.0V	GND	
A29	PC12	Y5	CLDO1/1.8V	I/O	
A30	PC7	Y7	CLDO1/1.8V	I/O	
A31	DGND	/	DGND/0.0V	GND	
A32	GPADC1-0	J29	ALDO4/1.8V	AI	1nF pull down
A33	GPADC1-1	H28	ALDO4/1.8V	AI	1nF pull down
A34	GPADC1-2	J27	ALDO4/1.8V	AI	1nF pull down
A35	GPADC1-3	J28	ALDO4/1.8V	AI	1nF pull down
A36	DGND	/	DGND/0.0V	GND	
A37	DGND	/	DGND/0.0V	GND	
A38	DGND	/	DGND/0.0V	GND	
A39	DGND	/	DGND/0.0V	GND	
A40	DGND	/	DGND/0.0V	GND	
A41	PA_GPADC05	F28	CLDO4/3.3V	I/O	1.8V for ADC and 3.3V for GPIO
A42	PA_GPADC03	E28	CLDO4/3.3V	I/O	1.8V for ADC and 3.3V for GPIO

A43	PA_GPADC04	E29	CLDO4/3.3V	I/O	1.8V for ADC and 3.3V for GPIO
A44	PA_GPADC07	G28	CLDO4/3.3V	I/O	1.8V for ADC and 3.3V for GPIO
A45	PA_GPADC08	G27	CLDO4/3.3V	I/O	1.8V for ADC and 3.3V for GPIO
A46	VDD_IN_5V	/	VDD_IN_5/5.0V	PWR	External input 5V
A47	VDD_IN_5V	/	VDD_IN_5/5.0V	PWR	External input 5V
A48	DGND	/	DGND/0.0V	GND	
A49	DGND	/	DGND/0.0V	GND	
A50	GPADC2-5	N27	ALDO4/1.8V	AI	
A51	GPADC2-6	N28	ALDO4/1.8V	AI	
A52	GPADC2-8	P26	ALDO4/1.8V	AI	
A53	GPADC2-9	P27	ALDO4/1.8V	AI	
A54	GPADC2-4	M28	ALDO4/1.8V	AI	
A55	GPADC2-7	N29	ALDO4/1.8V	AI	
A56	DGND	/	DGND/0.0V	GND	
A57	DGND	/	DGND/0.0V	GND	
A58	DGND	/	DGND/0.0V	GND	
A59	DGND	/	DGND/0.0V	GND	
A60	DGND	/	DGND/0.0V	GND	
A61	DGND	/	DGND/0.0V	GND	
A62	DGND	/	DGND/0.0V	GND	
A63	DGND	/	DGND/0.0V	GND	
A64	DGND	/	DGND/0.0V	GND	
A65	VCC33-IO	/	CLDO3/3.3V	PWR	Core board outputs 3V3
A66	VCC33-IO	/	CLDO3/3.3V	PWR	Core board outputs 3V3
A67	DGND	/	DGND/0.0V	GND	
A68	DGND	/	DGND/0.0V	GND	
A69	LRADC	P28	ALDO4/1.8V	AI	
A70	GPADC1-7	K26	ALDO4/1.8V	AI	
A71	GPADC1-8	L28	ALDO4/1.8V	AI	
A72	GPADC1-9	M24	ALDO4/1.8V	AI	
A73	DGND	/	DGND/0.0V	GND	
A74	DGND	/	DGND/0.0V	GND	
A75	DGND	/	DGND/0.0V	GND	
A76	DGND	/	DGND/0.0V	GND	
A77	DGND	/	DGND/0.0V	GND	
A78	DGND	/	DGND/0.0V	GND	
A79	DGND	/	DGND/0.0V	GND	
A80	DGND	/	DGND/0.0V	GND	
A81	DGND	/	DGND/0.0V	GND	
A82	DGND	/	DGND/0.0V	GND	
A83	GPADC2-0	L27	ALDO4/1.8V	AI	

A84	GPADC2-1	M25	ALDO4/1.8V	AI	
A85	GPADC2-2	M26	ALDO4/1.8V	AI	
A86	GPADC2-3	M27	ALDO4/1.8V	AI	
A87	DGND	/	DGND/0.0V	GND	
A88	DGND	/	DGND/0.0V	GND	
A89	DGND	/	DGND/0.0V	GND	
A90	DGND	/	DGND/0.0V	GND	
A91	DGND	/	DGND/0.0V	GND	
A92	DGND	/	DGND/0.0V	GND	
A93	DGND	/	DGND/0.0V	GND	
B01	PH4	B6	DCDC4/3.3V	I/O	
B02	PH5	A6	DCDC4/3.3V	I/O	
B03	PH7	B7	DCDC4/3.3V	I/O	
B04	PH6	C6	DCDC4/3.3V	I/O	
B05	DGND	/	DGND/0.0V	GND	
B06	PL2	W28	ALDO3/3V3	I/O	
B07	PL3	W29	ALDO3/3V3	I/O	
B08	PB9	AH26	CLDO3/3.3V	I/O	
B09	PB10	AG26	CLDO3/3.3V	I/O	
B10	PL10	AA27	ALDO3/3V3	I/O	
B11	PL11	AA28	ALDO3/3V3	I/O	
B12	PB12	AC23	CLDO3/3.3V	I/O	
B13	PB11	AF25	CLDO3/3.3V	I/O	
B14	PI9	E25	DCDC4/3.3V	I/O	
B15	PI8	D25	DCDC4/3.3V	I/O	
B16	PI11	E21	DCDC4/3.3V	I/O	
B17	DGND	/	DGND/0.0V	GND	
B18	U3-PCIE21-RXP	B23	CLDO1/1.8V	AI	
B19	U3-PCIE21-RXN	A23	CLDO1/1.8V	AI	
B20	DGND	/	DGND/0.0V	GND	
B21	PCIE21-REFCLKP	B24	CLDO1/1.8V	AI/O	
B22	PCIE21-REFCLKN	A24	CLDO1/1.8V	AI/O	
B23	PB13	AJ25	CLDO3/3.3V	I/O	
B24	PB14	AH25	CLDO3/3.3V	I/O	
B25	PB4	AE23	CLDO3/3.3V	I/O	
B26	PB5	AD23	CLDO3/3.3V	I/O	
B27	DGND	/	DGND/0.0V	GND	
B28	DGND	/	DGND/0.0V	GND	
B29	DGND	/	DGND/0.0V	GND	
B30	DGND	/	DGND/0.0V	GND	
B31	PL12	AB26	ALDO3/3V3	I/O	

B32	PL13	AB25	ALDO3/3V3	I/O	
B33	DGND	/	DGND/0.0V	GND	
B34	DGND	/	DGND/0.0V	GND	
B35	PI10	D21	DCDC4/3.3V	I/O	
B36	PI7	B26	DCDC4/3.3V	I/O	
B37	PI6	A27	DCDC4/3.3V	I/O	
B38	PI16	B25	DCDC4/3.3V	I/O	
B39	PI15	A26	DCDC4/3.3V	I/O	
B40	U3-PCIE21-TXP	B22	CLDO1/1.8V	AO	
B41	U3-PCIE21-TXN	A22	CLDO1/1.8V	AO	
B42	PL4	AA29	ALDO3/3V3	I/O	
B43	PL5	Y27	ALDO3/3V3	I/O	
B44	PL7	Y25	ALDO3/3V3	I/O	
B45	PL6	Y26	ALDO3/3V3	I/O	
B46	DGND	/	DGND/0.0V	GND	
B47	DGND	/	DGND/0.0V	GND	
B48	DGND	/	DGND/0.0V	GND	
B49	DGND	/	DGND/0.0V	GND	
B50	PM4	AC29	BLDO2/1.8V	I/O	
B51	PM2	AD28	BLDO2/1.8V	I/O	
B52	/	/	/	N/A	
B53	PM3	AC27	BLDO2/1.8V	I/O	
B54	DGND	/	DGND/0.0V	GND	
B55	DGND	/	DGND/0.0V	GND	
B56	PI13	D23	DCDC4/3.3V	I/O	
B57	PI14	E23	DCDC4/3.3V	I/O	
B58	DGND	/	DGND/0.0V	GND	
B59	DGND	/	DGND/0.0V	GND	
B60	PF3_SDC0-CMD	AG22	CLDO3/3.3V	I/O	1.8V for SDIO and 3.3V for GPIO
B61	PF6	AF21	CLDO3/3.3V	I/O	1.8V for SDIO and 3.3V for GPIO
B62	PF2_SDC0-CLK	AH22	CLDO3/3.3V	I/O	33Ω in series, 1.8V for SDIO and 3.3V for GPIO
B63	DGND	/	DGND/0.0V	GND	
B64	PL8	AB28	ALDO3/3V3	I/O	
B65	PL9	AB27	ALDO3/3V3	I/O	
B66	PM0	AD27	BLDO2/1.8V	I/O	
B67	PM1	AE29	BLDO2/1.8V	I/O	
B68	PM5	AC28	BLDO2/1.8V	I/O	
B69	PG9	V28	BLDO1/3.3V	I/O	
B70	PG8	V27	BLDO1/3.3V	I/O	
B71	PF4_SDC0-D3	AJ23	CLDO3/3.3V	I/O	1.8V for SDIO and 3.3V for GPIO

B72	PF4_SDC0-D2	AH23	CLDO3/3.3V	I/O	1.8V for SDIO and 3.3V for GPIO
B73	PF4_SDC0-D1	AH21	CLDO3/3.3V	I/O	1.8V for SDIO and 3.3V for GPIO
B74	PF4_SDC0-D0	AG21	CLDO3/3.3V	I/O	1.8V for SDIO and 3.3V for GPIO
B75	PB3	AF23	CLDO3/3.3V	I/O	
B76	PB0	AC21	CLDO3/3.3V	I/O	
B77	PB1	AB21	CLDO3/3.3V	I/O	
B78	PB2	AG24	CLDO3/3.3V	I/O	
B79	PG6	T24	BLDO1/3.3V	I/O	
B80	PG7	T25	BLDO1/3.3V	I/O	
C01	LINEOUTP	D28	ALDO4/1.8V	AO	
C02	LINEOUTN	D29	ALDO4/1.8V	AO	
C03	DGND	/	DGND/0.0V	GND	
C04	AP-RESET	AF27	RTC/1.8V	I/O	1nF pull down, 100Ω in series, 10KΩ pull up
C05	AP-PWRON	/	RTC/1.8V	DI	100nF pull down, 100Ω in series
C06	/	/	/	N/A	
C07	PG5_SDC1-D3	U28	BLDO1/3.3V	I/O	
C08	PG4_SDC1-D2	U29	BLDO1/3.3V	I/O	
C09	PG3_SDC1-D1	R27	BLDO1/3.3V	I/O	
C10	PG2_SDC1-D0	R28	BLDO1/3.3V	I/O	
C11	DGND	/	DGND/0.0V	GND	
C12	PE7_LB	E13	DCDC4/3.3V	I/O	
C13	PE6_LB	D13	DCDC4/3.3V	I/O	
C14	PE5_LB	E11	DCDC4/3.3V	I/O	
C15	PE4_LB	F11	DCDC4/3.3V	I/O	
C16	PE3_LB	G11	DCDC4/3.3V	I/O	
C17	PE2_LB	F9	DCDC4/3.3V	I/O	
C18	PE1_LB	G9	DCDC4/3.3V	I/O	
C19	PE0_LB	B9	DCDC4/3.3V	I/O	
C20	DGND	/	DGND/0.0V	GND	
C21	PD12_LCD_LV1-D1P	F1	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
C22	PD14_LCD_LV1-D2P	G1	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
C23	PD13_LCD_LV1-D1N	F2	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
C24	USB0-DM	B20	CLDO3/3.3V	AI/O	
C25	USB0-DP	A20	CLDO3/3.3V	AI/O	
C26	DGND	/	DGND/0.0V	GND	
C27	FEL	AD21	CLDO3/3.3V	DI	1nF pull down, 100Ω in series
C28	AP-NMI	AE28	RTC/1.8V	I/O	1nF pull down, 10KΩ pull up
C29	PG13	U27	BLDO1/3.3V	I/O	
C30	PG14	P24	BLDO1/3.3V	I/O	
C31	PG1_SDC1-CMD	T27	BLDO1/3.3V	I/O	

C32	PG0_SDC1-CLK	R29	BLDO1/3.3V	I/O	33Ω in series
C33	DGND	/	DGND/0.0V	GND	
C34	DGND	/	DGND/0.0V	GND	
C35	PE13_LB	C9	DCDC4/3.3V	I/O	
C36	PE17_LB	F13	DCDC4/3.3V	I/O	
C37	PE8_LB	E9	DCDC4/3.3V	I/O	
C38	PE9_LB	D11	DCDC4/3.3V	I/O	
C39	PK9_LB_MIB-D1P	A14	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C40	PK5_LB_MIA-CKP	A12	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C41	PK2_LB_MIA-D1N	B11	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C42	PK0_LB_MIA-D0N	B13	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C43	DGND	/	DGND/0.0V	GND	
C44	PD11_LCD_LV1-D0N	E2	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
C45	PD15_LCD_LV1-D2N	G2	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
C46	USB1-DM	B21	CLDO3/3.3V	AI/O	
C47	USB1-DP	A21	CLDO3/3.3V	AI/O	
C48	DGND	/	DGND/0.0V	GND	
C49	PG10	V26	BLDO1/3.3V	I/O	
C50	PG12	T26	BLDO1/3.3V	I/O	
C51	PG11	V25	BLDO1/3.3V	I/O	
C52	PD18_LCD_LV1-D3P	J1	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
C53	PD19_LCD_LV1-D3N	J2	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
C54	PH12	C7	DCDC4/3.3V	I/O	
C55	PH13	B8	DCDC4/3.3V	I/O	
C56	PE12_LB	A10	DCDC4/3.3V	I/O	
C57	PE11_LB	C10	DCDC4/3.3V	I/O	
C58	PE10_LB	D9	DCDC4/3.3V	I/O	
C59	PK11_LB_MIB-CKP	A15	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C60	PK7_LB_MIB-D0P	A16	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C61	PK4_LB_MIA-CKN	B12	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C62	PK1_LB_MIA-D0P	A13	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C63	DGND	/	DGND/0.0V	GND	
C64	PD10_LCD_LV1-D0P	E1	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
C65	PI2	C28	DCDC4/3.3V	I/O	
C66	PI3	C27	DCDC4/3.3V	I/O	
C67	PI5	D27	DCDC4/3.3V	I/O	
C68	PI4	C29	DCDC4/3.3V	I/O	
C69	PK16_LB_MIC-CKN	B18	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C70	PK17_LB_MIC-CKP	A18	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C71	PH9	F7	DCDC4/3.3V	I/O	
C72	PH8	G7	DCDC4/3.3V	I/O	

C73	PE15_LB	H13	DCDC4/3.3V	I/O	
C74	PE16_LB	G13	DCDC4/3.3V	I/O	
C75	PK15_LB_MIC-D1P	A17	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C76	PK13_LB_MIC-D0P	A19	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C77	PK10_LB_MIB-CKN	B15	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C78	PK6_LB_MIB-D0N	B16	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C79	PK3_LB_MIA-D1P	A11	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C80	DGND	/	DGND/0.0V	GND	
C81	PK18_LB_MID-D0N	D19	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C82	PK19_LB_MID-D0P	E19	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C83	PK21_LB_MID-D1P	D15	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C84	PK20_LB_MID-D1N	E15	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C85	PH1	F5	DCDC4/3.3V	I/O	
C86	PH0	G5	DCDC4/3.3V	I/O	
C87	PK22_LB_MID-CKN	E17	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C88	PK23_LB_MID-CKP	D17	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C89	DGND	/	DGND/0.0V	GND	
C90	PK14_LB_MIC-D1N	B17	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C91	PK12_LB_MIC-D0N	B19	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C92	PK8_LB_MIB-D1N	B14	DCDC4/3.3V	I/O	1.8V for CSI and 3.3V for GPIO
C93	PE14_LB	B10	DCDC4/3.3V	I/O	
D01	PD0_LCD_DSI-D0P	B5	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
D02	PD1_LCD_DSI-D0N	A5	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
D03	DGND	/	DGND/0.0V	GND	
D04	PD4_LCD_DSI-CKP	B3	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
D05	PD5_LCD_DSI-CKN	A3	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
D06	DGND	/	DGND/0.0V	GND	
D07	DGND	/	DGND/0.0V	GND	
D08	PJ22_MII1-TXCK	P7	DCDC4/3.3V	I/O	
D09	PJ23_MII1-TXCTL	P6	DCDC4/3.3V	I/O	
D10	PJ30_MII1-TXD3	M7	DCDC4/3.3V	I/O	
D11	PJ31_MII1-TXD2	M6	DCDC4/3.3V	I/O	
D12	PJ20_MII1-TXD1	R3	DCDC4/3.3V	I/O	
D13	PJ21_MII1-TXD0	R2	DCDC4/3.3V	I/O	
D14	DGND	/	DGND/0.0V	GND	
D15	PH14	C8	DCDC4/3.3V	I/O	
D16	PH15	A8	DCDC4/3.3V	I/O	
D17	PB6	AD24	CLDO3/3.3V	I/O	
D18	PI1	B28	DCDC4/3.3V	I/O	
D19	PI0	B27	DCDC4/3.3V	I/O	
D20	DGND	/	DGND/0.0V	GND	

D21	PH11	D7	DCDC4/3.3V	I/O	
D22	PH10	E7	DCDC4/3.3V	I/O	
D23	PD2_LCD_DSI-D1P	B4	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
D24	PD3_LCD_DSI-D1N	A4	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
D25	DGND	/	DGND/0.0V	GND	
D26	PD8_LCD_DSI-D3P	D1	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
D27	PD9_LCD_DSI-D3N	D2	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
D28	DGND	/	DGND/0.0V	GND	
D29	PJ27_MII1-RXD3	M4	DCDC4/3.3V	I/O	
D30	PJ28_MII1-RXD2	K1	DCDC4/3.3V	I/O	
D31	PJ16_MII1-RXD1	M1	DCDC4/3.3V	I/O	
D32	PJ17_MII1-RXD0	M3	DCDC4/3.3V	I/O	
D33	DGND	/	DGND/0.0V	GND	
D34	PJ3_MII0-CLKIN	U3	DCDC4/3.3V	I/O	
D35	PJ10_MII0-2550M	U2	DCDC4/3.3V	I/O	
D36	DGND	/	DGND/0.0V	GND	
D37	PB8	AG25	CLDO3/3.3V	I/O	
D38	PB7	AH24	CLDO3/3.3V	I/O	
D39	DGND	/	DGND/0.0V	GND	
D40	PD17_LCD_LV1-CKN	H2	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
D41	PD16_LCD_LV1-CKP	H1	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
D42	DGND	/	DGND/0.0V	GND	
D43	PD6_LCD_DSI-D2P	C1	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
D44	PD7_LCD_DSI-D2N	C2	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
D45	DGND	/	DGND/0.0V	GND	
D46	PJ29_MII1-RXCK	K2	DCDC4/3.3V	I/O	
D47	PJ18_MII1-RXCTL	M2	DCDC4/3.3V	I/O	
D48	PJ19_MII1-CLKIN	L1	DCDC4/3.3V	I/O	
D49	PJ26_MII1-2550M	M5	DCDC4/3.3V	I/O	
D50	DGND	/	DGND/0.0V	GND	
D51	PJ6_MII0-TXCK	T7	DCDC4/3.3V	I/O	
D52	PJ7_MII0-TXCTL	T6	DCDC4/3.3V	I/O	
D53	PJ9_MII0-MDIO	K5	DCDC4/3.3V	I/O	
D54	PJ8_MII0-MDC	P5	DCDC4/3.3V	I/O	
D55	DGND	/	DGND/0.0V	GND	
D56	/	/	/	N/A	
D57	/	/	/	N/A	
D58	PD20_LCD_HSYNC	K6	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
D59	PD21_LCD_VSYNC	H6	DCDC4/3.3V	I/O	1.8V for LVDS and 3.3V for GPIO
D60	PD22	H5	DCDC4/3.3V	I/O	
D61	DGND	/	DGND/0.0V	GND	

D62	PJ25_MII1-MDIO	K3	DCDC4/3.3V	I/O	
D63	PJ24_MII1-MDC	K4	DCDC4/3.3V	I/O	
D64	DGND	/	DGND/0.0V	GND	
D65	PJ14_MII0-TXD3	T4	DCDC4/3.3V	I/O	
D66	PJ15_MII0-TXD2	T5	DCDC4/3.3V	I/O	
D67	PJ4_MII0-TXD1	P4	DCDC4/3.3V	I/O	
D68	PJ5_MII0-TXD0	T3	DCDC4/3.3V	I/O	
D69	PJ2_MII0-RXCTL	P3	DCDC4/3.3V	I/O	
D70	DGND	/	DGND/0.0V	GND	
D71	PD23	H4	DCDC4/3.3V	I/O	
D72	DGND	/	DGND/0.0V	GND	
D73	PA_GPADC00	H24	CLDO4/3.3V	I/O	1.8V for ADC and 3.3V for GPIO
D74	PA_GPADC01	H25	CLDO4/3.3V	I/O	1.8V for ADC and 3.3V for GPIO
D75	DGND	/	DGND/0.0V	GND	
D76	PJ11_MII0-RXD3	N2	DCDC4/3.3V	I/O	
D77	PJ12_MII0-RXD2	P2	DCDC4/3.3V	I/O	
D78	PJ0_MII0-RXD1	P1	DCDC4/3.3V	I/O	
D79	PJ1_MII0-RXD0	N3	DCDC4/3.3V	I/O	
D80	PJ13_MII0-RXCK	T2	DCDC4/3.3V	I/O	
E01	DGND	/	DGND/0.0V	GND	
E02	DGND	/	DGND/0.0V	GND	
E03	DGND	/	DGND/0.0V	GND	
E04	DGND	/	DGND/0.0V	GND	
E05	DGND	/	DGND/0.0V	GND	
E06	DGND	/	DGND/0.0V	GND	
E07	DGND	/	DGND/0.0V	GND	
E08	DGND	/	DGND/0.0V	GND	
E09	DGND	/	DGND/0.0V	GND	
E10	DGND	/	DGND/0.0V	GND	
E11	DGND	/	DGND/0.0V	GND	
E12	DGND	/	DGND/0.0V	GND	
E13	DGND	/	DGND/0.0V	GND	
E14	DGND	/	DGND/0.0V	GND	
E15	DGND	/	DGND/0.0V	GND	
E16	DGND	/	DGND/0.0V	GND	
E17	DGND	/	DGND/0.0V	GND	
E18	DGND	/	DGND/0.0V	GND	
E19	DGND	/	DGND/0.0V	GND	
E20	DGND	/	DGND/0.0V	GND	
E21	DGND	/	DGND/0.0V	GND	
E22	DGND	/	DGND/0.0V	GND	

E23	DGND	/	DGND/0.0V	GND	
E24	DGND	/	DGND/0.0V	GND	
E25	DGND	/	DGND/0.0V	GND	
E26	DGND	/	DGND/0.0V	GND	
E27	DGND	/	DGND/0.0V	GND	
E28	DGND	/	DGND/0.0V	GND	
E29	DGND	/	DGND/0.0V	GND	
E30	DGND	/	DGND/0.0V	GND	
E31	DGND	/	DGND/0.0V	GND	
E32	DGND	/	DGND/0.0V	GND	
E33	DGND	/	DGND/0.0V	GND	
E34	DGND	/	DGND/0.0V	GND	
E35	DGND	/	DGND/0.0V	GND	

注:

- ◆ AI: 模拟量输入;
- ◆ AO: 模拟量输出;
- ◆ DI: 数字量输入;
- ◆ DO: 数字量输出;
- ◆ I/O: 数字量输入输出;
- ◆ PWR: 电源;
- ◆ 走线长度单位为 mil;
- ◆ 详细 LGA 引脚复用功能可查看《ECK32B_Pin_List》文件。

4.3.3. I/O 长度控制

核心板内部走线长度见下表, 长度单位为 mil。

主要长度控制信号表

LGA	Pin Name	MPU	Function1	Function2	Length
B22	PCIE21-REFCLKN	A24	PCIE21-REFCLKN		1000.38
B21	PCIE21-REFCLKP	B24	PCIE21-REFCLKP		1000.01
B19	U3-PCIE21-RXN	A23	PCIE21-RXN		1021.3
B18	U3-PCIE21-RXP	B23	PCIE21-RXP		1021.47
B41	U3-PCIE21-TXN	A22	PCIE21-TXN		1009.71
B40	U3-PCIE21-TXP	B22	PCIE21-TXP		1011.23
C24	USB0-DM	B20	USB0-DM		525.85
C25	USB0-DP	A20	USB0-DP		525.91
C46	USB1-DM	B21	USB1-DM		365.21

C47	USB1-DP	A21	USB1-DP		366.87
D05	PD5_LCD_DSI-CKN	A3	DSI-CKN	LCD-D7	1211.52
D04	PD4_LCD_DSI-CKP	B3	DSI-CKP	LCD-D6	1213.4
D02	PD1_LCD_DSI-D0N	A5	DSI-D0N	LCD-D3	1225.8
D01	PD0_LCD_DSI-D0P	B5	DSI-D0P	LCD-D2	1223.97
D24	PD3_LCD_DSI-D1N	A4	DSI-D1N	LCD-D5	1228.63
D23	PD2_LCD_DSI-D1P	B4	DSI-D1P	LCD-D4	1230.41
D44	PD7_LCD_DSI-D2N	C2	DSI-D2N	LCD-D11	1251.41
D43	PD6_LCD_DSI-D2P	C1	DSI-D2P	LCD-D10	1253.28
D27	PD9_LCD_DSI-D3N	D2	DSI-D3N	LCD-D13	1235.29
D26	PD8_LCD_DSI-D3P	D1	DSI-D3P	LCD-D12	1235.41
D40	PD17_LCD_LV1-CKN	H2	LVDS1-CKN	LCD-D23	1429.06
D41	PD16_LCD_LV1-CKP	H1	LVDS1-CKP	LCD-D22	1428.69
C44	PD11_LCD_LV1-D0N	E2	LVDS1-D0N	LCD-D15	1344.23
C64	PD10_LCD_LV1-D0P	E1	LVDS1-D0P	LCD-D14	1344.47
C23	PD13_LCD_LV1-D1N	F2	LVDS1-D1N	LCD-D19	1434.99
C21	PD12_LCD_LV1-D1P	F1	LVDS1-D1P	LCD-D18	1436.86
C45	PD15_LCD_LV1-D2N	G2	LVDS1-D2N	LCD-D21	1408.48
C22	PD14_LCD_LV1-D2P	G1	LVDS1-D2P	LCD-D20	1407.99
C53	PD19_LCD_LV1-D3N	J2	LVDS1-D3N	LCD-DE	1417.94
C52	PD18_LCD_LV1-D3P	J1	LVDS1-D3P	LCD-CLK	1419.35
D58	PD20_LCD_HSYNC	K6		LCD-HSYNC	819.99
D59	PD21_LCD_VSYNC	H6		LCD-VSYNC	816.11
C61	PK4_LB_MIA-CKN	B12	MCSIA-CKN	LBUS-LD4	1068.11
C40	PK5_LB_MIA-CKP	A12	MCSIA-CKP	LBUS-LD5	1068.25
C42	PK0_LB_MIA-D0N	B13	MCSIA-D0N	LBUS-LD0	1116.38
C62	PK1_LB_MIA-D0P	A13	MCSIA-D0P	LBUS-LD1	1115.17
C41	PK2_LB_MIA-D1N	B11	MCSIA-D1N	LBUS-LD2	1074.07
C79	PK3_LB_MIA-D1P	A11	MCSIA-D1P	LBUS-LD3	1074.92
C77	PK10_LB_MIB-CKN	B15	MCSIB-CKN	LBUS-LD10	1220.21
C59	PK11_LB_MIB-CKP	A15	MCSIB-CKP	LBUS-LD11	1220.22
C78	PK6_LB_MIB-D0N	B16	MCSIB-D0N	LBUS-LD6	1318.93
C60	PK7_LB_MIB-D0P	A16	MCSIB-D0P	LBUS-LD7	1320.11
C92	PK8_LB_MIB-D1N	B14	MCSIB-D1N	LBUS-LD8	1232.84
C39	PK9_LB_MIB-D1P	A14	MCSIB-D1P	LBUS-LD9	1234.82
C69	PK16_LB_MIC-CKN	B18	MCSIC-CKN	LBUS-LD16	1070
C70	PK17_LB_MIC-CKP	A18	MCSIC-CKP	LBUS-LD17	1071.65
C91	PK12_LB_MIC-D0N	B19	MCSIC-D0N	LBUS-LD12	1163.49
C76	PK13_LB_MIC-D0P	A19	MCSIC-D0P	LBUS-LD13	1161.67
C90	PK14_LB_MIC-D1N	B17	MCSIC-D1N	LBUS-LD14	1076.36
C75	PK15_LB_MIC-D1P	A17	MCSIC-D1P	LBUS-LD15	1078.19

C87	PK22_LB_MID-CKN	E17	MCSID-CKN	LBUS-LD22	1045.88
C88	PK23_LB_MID-CKP	D17	MCSID-CKP	LBUS-LD23	1047.69
C81	PK18_LB_MID-D0N	D19	MCSID-D0N	LBUS-LD18	1057.66
C82	PK19_LB_MID-D0P	E19	MCSID-D0P	LBUS-LD19	1056.15
C84	PK20_LB_MID-D1N	E15	MCSID-D1N	LBUS-LD20	1006.6
C83	PK21_LB_MID-D1P	D15	MCSID-D1P	LBUS-LD21	1007.75
C19	PE0_LB	B9		LBUS-CS0	891.89
C18	PE1_LB	G9		LBUS-CS1	880.47
C58	PE10_LB	D9		LBUS-ALE	702.54
C57	PE11_LB	C10		LBUS-BURST0	723.58
C56	PE12_LB	A10		LBUS-BURST1	704.45
C35	PE13_LB	C9		LBUS-BURST2	799.01
C93	PE14_LB	B10		LBUS-LCLK	918.94
C73	PE15_LB	H13		LBUS-INTR	697.63
C74	PE16_LB	G13		LBUS-DRQ	692.85
C36	PE17_LB	F13		LBUS-LBE	822.86
C17	PE2_LB	F9		LBUS-CS2	905.79
C16	PE3_LB	G11		LBUS-CS3	965.05
C15	PE4_LB	F11		LBUS-DP0	903.68
C14	PE5_LB	E11		LBUS-DP1	864.55
C13	PE6_LB	D13		LBUS-DP2	711.04
C12	PE7_LB	E13		LBUS-DP3	742.66
C37	PE8_LB	E9		LBUS-WR	814.14
C38	PE9_LB	D11		LBUS-READY	878.4
D34	PJ3_MII0-CLKIN	U3	RGMII0-CLKIN		1043.85
D35	PJ10_MII0-2550M	U2	RGMII0-EPHY-25/50M		1093.12
D54	PJ8_MII0-MDC	P5	RGMII0-MDC		1228.68
D53	PJ9_MII0-MDIO	K5	RGMII0-MDIO		1224.94
D80	PJ13_MII0-RXCK	T2	RGMII0-RXCK		1116.81
D69	PJ2_MII0-RXCTL	P3	RGMII0-RXCTL		1154.27
D79	PJ1_MII0-RXD0	N3	RGMII0-RXD0		1103.19
D78	PJ0_MII0-RXD1	P1	RGMII0-RXD1		1122.55
D77	PJ12_MII0-RXD2	P2	RGMII0-RXD2		1111.79
D76	PJ11_MII0-RXD3	N2	RGMII0-RXD3		1101.07
D51	PJ6_MII0-TXCK	T7	RGMII0-TXCK		1287.53
D52	PJ7_MII0-TXCTL	T6	RGMII0-TXCTL		1255.22
D68	PJ5_MII0-TXD0	T3	RGMII0-TXD0		1243.91
D67	PJ4_MII0-TXD1	P4	RGMII0-TXD1		1237.13
D66	PJ15_MII0-TXD2	T5	RGMII0-TXD2		1237.13
D65	PJ14_MII0-TXD3	T4	RGMII0-TXD3		1230.52
D48	PJ19_MII1-CLKIN	L1	RGMII1-CLKIN		840.87

D49	PJ26_MII1-2550M	M5	RGMII1-EPHY-25/50M		922.82
D63	PJ24_MII1-MDC	K4	RGMII1-MDC		973.17
D62	PJ25_MII1-MDIO	K3	RGMII1-MDIO		989.53
D46	PJ29_MII1-RXCK	K2	RGMII1-RXCK		1067.17
D47	PJ18_MII1-RXCTL	M2	RGMII1-RXCTL		1049.01
D32	PJ17_MII1-RXD0	M3	RGMII1-RXD0		1101.09
D31	PJ16_MII1-RXD1	M1	RGMII1-RXD1		1123.79
D30	PJ28_MII1-RXD2	K1	RGMII1-RXD2		1055.26
D29	PJ27_MII1-RXD3	M4	RGMII1-RXD3		1055.63
D08	PJ22_MII1-TXCK	P7	RGMII1-TXCK		1135.2
D09	PJ23_MII1-TXCTL	P6	RGMII1-TXCTL		1156.71
D13	PJ21_MII1-TXD0	R2	RGMII1-TXD0		1176.28
D12	PJ20_MII1-TXD1	R3	RGMII1-TXD1		1170.76
D11	PJ31_MII1-TXD2	M6	RGMII1-TXD2		1204.79
D10	PJ30_MII1-TXD3	M7	RGMII1-TXD3		1166.77
B62	PF2_SDC0-CLK	AH22	SDC0-CLK		598.57
B60	PF3_SDC0-CMD	AG22	SDC0-CMD		613.88
B74	PF1_SDC0-D0	AG21	SDC0-D0		609.63
B73	PF0_SDC0-D1	AH21	SDC0-D1		611.9
B72	PF5_SDC0-D2	AH23	SDC0-D2		675.04
B71	PF4_SDC0-D3	AJ23	SDC0-D3		613.14
C32	PG0_SDC1-CLK	R29	SDC1-CLK		1259.49
C31	PG1_SDC1-CMD	T27	SDC1-CMD		1242.22
C10	PG2_SDC1-D1	R28	SDC1-D0		1296.82
C09	PG3_SDC1-D0	R27	SDC1-D1		1238.9
C08	PG4_SDC1-D2	U29	SDC1-D2		1254.86
C07	PG5_SDC1-D3	U28	SDC1-D3		1268.64

4.3.4. I/O 阻抗控制

ECK33-B 系列核心板所有高速信号在 PCB 设计时都做了阻抗控制和长度控制, 核心板走线阻抗控制参数见下表。

走线阻抗控制表

序号	阻抗控制走线分类	阻抗控制	典型型号网络名称
1	USB 差分信号	$90 \pm 10\% \Omega$	USB0-DP/USB0-DM
2	PCIe 差分信号	$100 \pm 10\% \Omega$	U3-PCIE21-DP/U3-PCIE21-DN
3	LVDS、MIPI 差分信号	$100 \pm 10\% \Omega$	PD4_LCD_DSI-CKP/PD5_LCD_DSI-CKN
4	一般单端走线	$50 \pm 10\% \Omega$	

4.4. 电气特性

4.4.1. 功耗

注：以下参数是在常温环境下，在 ECB33-PGB2N4E32-I 单板机上，对 ECK33-B2N4E32-I 核心板进行的测量，测量功耗不包含底板功耗。测量在 eMMC 上运行 Linux 系统，重载功耗时运行 stress-ng 测试程序，无显示，无底板 TF 卡访问，连接一路千兆网络。测试方法、使用功能、环境温度等因素都会影响功耗，以下功耗数据仅供参考。

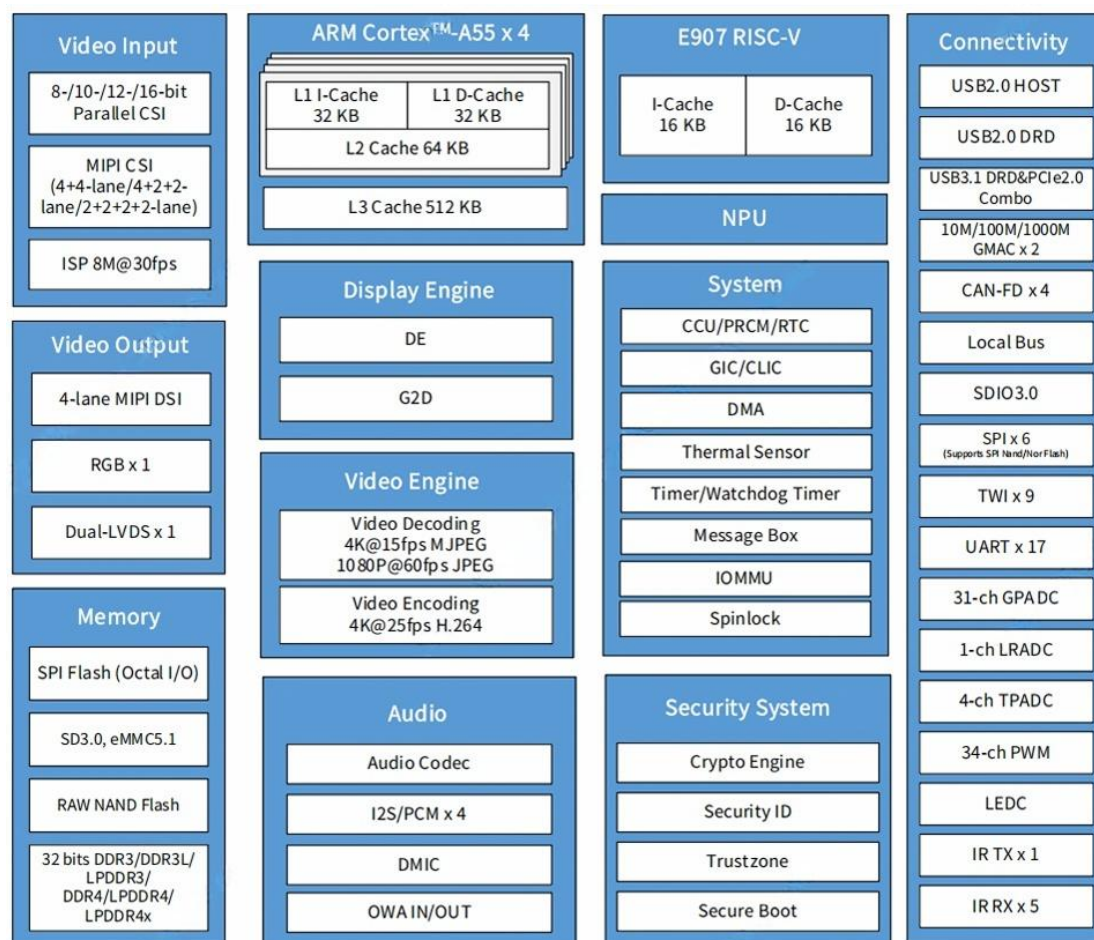
电源功耗表

电源状态	测试环境	电源电压	电流	功耗
BOOT	Uboot 状态，未引导内核	5V	161mA	805mW
PWRUP	系统启动后，无应用运行	5V	238mA	1190mW
PWRUP	软件重载测试	5V	563mA	2815mW
SLEEP	freeze 模式休眠状态	5V	177mA	885mW
SLEEP	mem 模式休眠状态	5V	14mA	70mW
PWRDN	软件关机	5V	0mA	0mW

5. 核心板硬件设计

5.1. 处理器

ECK33-B 系列核心板选用的全志 T536 系列处理器是具备高性能的四核 Cortex-A55 AI 平台的 SoC 产品，适用于商业、工业和汽车领域。T536 系列处理器功能框图如下图所示。



T536 系统功能框图

5.2.内存

ECK33-B 系列核心板在板贴装 1 片 LPDDR4 SDRAM 内存芯片。设计为 32 位内存数据位宽，当前提供 2GB/4GB 两种容量可选。设计内存可选用国产工业级或国产宽温级器件。内存芯片型号见下表。

内存芯片选型表

厂家	型号	单片容量	工作温度
得一微 (YEESTOR)	SGG1G32F5EI-S02	32Gbit	-40°C ~ 95°C
得一微 (YEESTOR)	SGG512M32F5EI-S07	16Gbit	-40°C ~ 95°C

注：具体贴装内存芯片型号以实物为准。

5.3.时钟

ECK33-B 系列核心板在板提供 1 个 32.768KHz 晶体（无源）振荡电路和 1 个 24MHz 晶体（无源）振荡电路，作为处理器系统时钟源。晶振器件均选用国产工业级晶振。

5.4.存储

ECK33-B 系列核心板在板设计有两种存储介质，一种是 eMMC 存储介质。这种存储介

质, 具备存储容量大、单位存储成本低、读写速度较快和使用方便的特点。另一种存储介质是 EEPROM, 连接在 I2C 总线上。这种存储介质可靠性高, 使用简单可作为用户参数存储。两种存储介质默认都装配, 无需选配。

ECK33-B 系列核心板 eMMC 存储器通过 SMHC2 (SDC2) 总线连接到处理器上, 支持 150MHz HS400 模式, 测试最大读盘速度可达 238MB/s。器件采用国产工业级 eMMC 存储芯片。

ECK33-B 系列核心板 EEPROM 芯片通过 TWI1 (I2C1) 总线连接到处理器上。存储芯片采用国产工业级 EEPROM, 最大容量为 32Kbit。

ECK33-B 系列核心板存储芯片型号见下表。

存储芯片选型表

厂家	型号	容量	工作温度
江波龙 (Longsys)	FEMDRW032G-88A19	32GB	-40°C ~ 85°C
江波龙 (Longsys)	FEMDRW016G-88A43	16GB	-40°C ~ 85°C
辉芒微 (FMD)	FT24C32A	32Kb	-40°C ~ 85°C

注: 具体贴装内存芯片型号以实物为准。

5.5. 电源

ECK33-B 系列核心板采用原厂 PMIC 电源方案, 严格按照 T536 手册中的电压、功率和时序要求进行设计。所选 PMIC 方案芯片型号为: AXP717D 和 AXP323。ECK33-B 系列核心板采用单路直流+5V 电源供电, 外部只需要提供 VDD_IN_5V 一路电源输入, 其他电源都由核心板内部产生, 无需额外供电, 极大简化用户电源设计难度。

ECK33-B 系列核心板还提供一路电源输出 VCC33-IO。该电源源于 PMIC 芯片 CLDO3, 默认工作电压为 3.3V, 最大输出电流为 300mA, 可用于底板小功率器件供电和底板 I/O 接口上电时序控制。

5.5.1. 核心板上电时序

ECK33-B 系列核心板电源和 I/O 接口上电大致分为 6 个阶段:

核心板电源和信号上电时序表

上电阶段	电源	时间
0	VDD_IN_5V、RTC	0ms
1	ALDO4、BLDO2、VCPUS、DCDC1、DCDC2、DCDC3	19ms
2	CLDO1	21ms
3	ALDO3、CLDO3	21ms
4	RESET	56ms

5	ALDO1、BLDO1、CLDO4、DCDC4	850ms
---	-------------------------	-------

ECK33-B 系列核心板 I/O 电源上电时间主要分为两个阶段，第一个是 5V 输入电源有效后，核心板 PMIC 自动开启的电源（1、2、3）；第二个是上电时默认关闭，在软件启动后配置打开的电源（5）。

5.5.2. 核心板休眠时 I/O 电源状态

ECK33-B 系列核心板休眠时，只有以下电源 I/O 有电，因此只能通过 PL 上的 GPIO 唤醒核心板。

核心板休眠时 I/O 电源状态表

电源	电压	典型 I/O
RTC	1.8V	RESET、PWRON
ALDO3	3.3V	PL

5.6. 在板 I/O 分配

ECK33-B 系列核心板上部分功能占用了 T536 处理器的 I/O 功能，这些 I/O 功能未引出到 LGA 引脚，用户在软件配置时应注意这些 I/O 的功能配置。具体占用的 I/O 如下表所示。

核心板在板复用 I/O 分配表

MPU Pin	GPIO	Function
W27	PL0	PMU-SCK
Y28	PL1	PMU-SDA
V4	PC0	eMMC-DS
V3	PC1	eMMC-RST
V7	PC5	eMMC-CLK
V6	PC6	eMMC-CMD
V1	PC8	eMMC-D3
V2	PC9	eMMC-D4
W1	PC10	eMMC-D0
W2	PC11	eMMC-D5
Y1	PC13	eMMC-D1
Y2	PC14	eMMC-D6
AA1	PC15	eMMC-D2
AA2	PC16	eMMC-D7
E5	PH2	TWI1-SCK
D5	PH3	TWI1-SDA

6. 底板硬件设计

6.1. 电源接口

对于嵌入式产品设计, 电源系统的设计至关重要, 不但需要考虑电源本身的基本电气参数, 还要考虑电源的稳定性设计、时序设计等多种因素。ECK33-B 系列核心板已经将复杂的电源管理和硬件电路集成到核心板上。核心板采用了单电源供电方案, 并提供电源时序管理信号, 尽量简化用户底板电源设计。

6.1.1. 电源输入

ECK33-B 系列核心板采用单路直流+5V 电源供电, 供电输入电源引脚名为 VDD_IN_5 V。供电电压范围为 $5.0V \pm 10\%$ 。ECK33-B 系列核心板典型功耗为 3W 左右。底板在对核心板供电电源设计时, 要考虑 I/O 输出功耗和更多功能同时运行时增加的功耗, 还要考虑高温下元器件功耗的增加, 所以建议核心板供电电流设计不应小于 1A。

采用 DC-DC 电源对核心板供电, 在电源设计时电源功率裕度也不应太大。如果电源设计功率太大, 很多电源为保证转换效率, 会工作在不连续 PWM 模式下, 输出电源纹波会显著增大, 不利于数字信号系统的工作稳定性。

6.1.2. 电源输出

ECK33-B 系列核心板还提供 1 路电源输出, 引脚名为 VCC33-IO, 可用于底板小功率器件供电或底板 I/O 接口上电时序控制。

6.1.3. 底板电源时序控制

底板电源时序控制主要考虑核心板 I/O 上电时序。ECK33-B 系列核心板的 I/O 接口主要分为两个阶段上电, 第一阶段是 5V 输入电源有效后, 核心板 PMIC 自动开启的电源; 第二阶段是 PMIC 默认关闭, 在软件启动后配置打开的电源。

要保证底板不会对核心板 I/O 接口形成漏电流, 简单的办法是在核心板 I/O 上电后 (即核心板软件配置打开所有 I/O 电源后), 才上电底板和核心板连接的所有 I/O 接口电源。可以使用核心板采用软件控制电源的 I/O (例如用 PD14, 是由 DCDC4 供电, 每个 I/O 端口的供电电源可以在引脚列表中查询到) 来控制底板 I/O 接口电源上电。

对于需要在软件工作前上电的 I/O 接口 (例如 SD 卡接口和调试串口), 如果功率较小可以直接使用 VCC33-IO 电源供电, 如果功率较大, 可以使用 VCC33-IO 控制的电源供电。

6.2. 启动配置

6.2.1. 启动顺序配置

ECK33-B 系列核心板启动时，处理器会读取 BOOT_Select 的状态，选择枚举介质的顺序。BOOT_Select 在核心板上已固定好配置状态，默认启动顺序为：SMHC0->EMMC_BOOT->EMMC_USER->try(except SPI2)

6.2.2. FEL 引脚

ECK33-B 系列核心板支持固件强制烧录引脚 FEL。在 ECK33-B 系列核心板上电时，将 FEL 信号接地，上电后，将 FEL 释放，ECK33-B 系列核心板将进入固件升级模式。用户可以在底板上设计按键或跳线将 FEL 信号接地，强制处理器进入固件升级模式。由于信号在核心板上已经设计了上拉电阻，底板设计只需要考虑接地和适当的 TVS 保护，不要在底板上为 FEL 信号随意设计上拉电阻。如果不使用 FEL 信号，该信号可以悬空处理，可以通过 SD 卡对固件进行升级。

6.2.3. 引脚定义

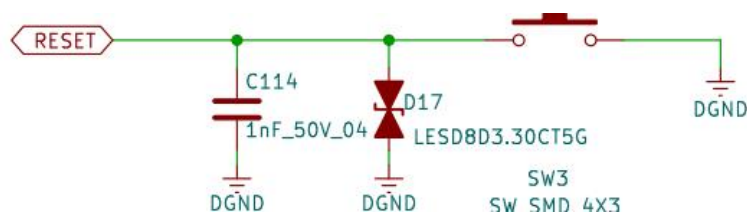
启动配置引脚定义表

LGA	Pin Name	MPU	Power Rail	Type	Length	Comment
C27	FEL	AD21	CLDO3/3.3V	DI		1nF pull down, 100 Ω in series

6.3. 复位按键

ECK33-B 系列核心板引出的 RESET 信号可以连接外部按键，用于实现对处理器的复位控制。RESET 信号为输入输出双向信号，可以作为外部复位输入，用于复位处理器，也是处理器内部电源复位信号输出。RESET 信号在核心板内提供了 10K 欧姆上拉电阻。因此在底板应用中，RESET 信号作为手动复位输入时，不要再连接上拉电阻，直接连接按键，或者通过 OD 门驱动。也不要通过推挽输出的接口驱动 RESET 信号。在连接手动输入按键时，可以放置小电容（电容值不大于 1nF）和 TVS 来减小干扰和提高 ESD 性能。按键参考原理图如下图所示。

6.3.1. 参考电路



按键参考原理图

注：复位和电源按键信号不要随意通过电阻上拉。如果上拉电源轨不正确，会导致在系统待机或关机的时候，引起不确定信号输入到按键信号接口。

6.3.2. 引脚定义

按键引脚定义表

LGA	Pin Name	MPU	Power Rail	Type	Length	Comment
C04	AP-RESET	AF27	RTC/1.8V	I/O		1nF pull down, 100Ω in series, 10KΩ pull up

6.3.3. LAYOUT 建议

- ❖ 复位信号是敏感信号，可以包地处理或远离干扰较大的信号；
- ❖ 复位信号 TVS 管尽可能靠近按键摆放。

6.4. 参考时钟和 NMI

ECK33-B 系列核心板提供 2 路时钟输出信号。一路是 24MHz 时钟输出 AP-CK24M-OUT，另一路是 32.768KHz 时钟输出 AP-CK32K-OUT。两路时钟输出可以给 Wi-Fi 模组使用。

6.4.1. NMI

处理器非屏蔽中断信号，主要用于 PMIC 的管理。该引脚功能不建议用户使用。不使用时可悬空处理。

6.4.2. 引脚定义

按键引脚定义表

LGA	Pin Name	MPU	Power Rail	Type	Length	Comment
A14	AP-CK24M-OUT	AH28	ALDO4/1.8V	A14		
A15	AP-CK32K-OUT	AF28	RTC/1.8V	A15		10KΩ pull up
C28	AP-NMI	AE28	RTC/1.8V	C28		1nF pull down, 10KΩ pull up

6.5. 显示屏接口

ECK33-B 系列核心板支持 RGB、LVDS、MIPI-DSI 三种接口 LCD 屏，产品设计时请根

据具体的 LCD 规格选用相应的接口。

各显示屏接口信息表

LCD 接口	最大支持分辨率
Single-Link LVDS	1366x768@60Hz
Dual-Link LVDS	1920x1080@60Hz
Single-Link MIPI DSI	1920x1200@60Hz
RGB	1920x1200@60Hz

- ❖ 当 PD 口用作普通 GPIO 使用时，需要关闭 LVDS、MIPI DSI 模块，否则会导致 LVDS /MIPI-DSI 和 GPIO 共同输出，影响 GPIO 输出电平。
- ❖ 务必保证核心板端与 LCD 端的 MIPI 或 LVDS 接口信号差分对正确连接，正负不能反接。
- ❖ LCD 的背光 IC 需要根据具体 LCD 规格设计，默认采用 PWM 调光，采用 PWM 调光时，请注意 PWM 的频率需要大于 20KHz，否则会出现电感啸叫的情况。建议根据背光 IC 的规格参数，将 PWM 频率调整为 30KHz~50KHz。
- ❖ 请确认 LCD 的 IO 电压与核心板端的控制 IO 电压是否一致，若不一致，注意做电平匹配处理，如 LCD-RST 信号。
- ❖ MIPI DSI 的差分线走线长度应小于 2000mil，需尽量保证走线的参考平面完整。
- ❖ LCD 显示接口推荐使用 PD 引脚上的 18 位色信号。这些信号都在一组 I/O 上，方便控制走线长度和工作电平。PD 引脚当配置为 LVDS 或者 DSI 功能时，自动切换为 1.8V 电平。配置为 GPIO 或者 LCD 功能时，自动切换为 3.3V 电平。

6.5.1. 接口定义

LCD/LVDS/DSI 接口定义表

LGA	Name	MPU	Power Rail	Type	Length	Comment
D01	PD0_LCD_DSI-D0P	B5	DCDC4/3.3V	I/O	1223.97	LCD-D2/LVDS0-D0P/DSI-D0P
D02	PD1_LCD_DSI-D0N	A5	DCDC4/3.3V	I/O	1225.8	LCD-D3/LVDS0-D0N/DSI-D0N
D23	PD2_LCD_DSI-D1P	B4	DCDC4/3.3V	I/O	1230.41	LCD-D4/LVDS0-D1P/DSI-D1P
D24	PD3_LCD_DSI-D1N	A4	DCDC4/3.3V	I/O	1228.63	LCD-D5/LVDS0-D1N/DSI-D1N
D04	PD4_LCD_DSI-CKP	B3	DCDC4/3.3V	I/O	1213.4	LCD-D6/LVDS0-D2P/DSI-CKP
D05	PD5_LCD_DSI-CKN	A3	DCDC4/3.3V	I/O	1211.52	LCD-D7/LVDS0-D2N/DSI-CKN
D43	PD6_LCD_DSI-D2P	C1	DCDC4/3.3V	I/O	1253.28	LCD-D10/LVDS0-CKP/DSI-D2P
D44	PD7_LCD_DSI-D2N	C2	DCDC4/3.3V	I/O	1251.41	LCD-D11/LVDS0-CKN/DSI-D2N
D26	PD8_LCD_DSI-D3P	D1	DCDC4/3.3V	I/O	1235.41	LCD-D12/LVDS0-D3P/DSI-D3P
D27	PD9_LCD_DSI-D3N	D2	DCDC4/3.3V	I/O	1235.29	LCD-D13/LVDS0-D3N/DSI-D3N
C64	PD10_LCD_LV1-D0P	E1	DCDC4/3.3V	I/O	1344.47	LCD-D14/LVDS1-D0P

C44	PD11_LCD_LV1-D0N	E2	DCDC4/3.3V	I/O	1344.23	LCD-D15/LVDS1-D0N
C21	PD12_LCD_LV1-D1P	F1	DCDC4/3.3V	I/O	1436.86	LCD-D18/LVDS1-D1P
C23	PD13_LCD_LV1-D1N	F2	DCDC4/3.3V	I/O	1434.99	LCD-D19/LVDS1-D1N
C22	PD14_LCD_LV1-D2P	G1	DCDC4/3.3V	I/O	1407.99	LCD-D20/LVDS1-D2P
C45	PD15_LCD_LV1-D2N	G2	DCDC4/3.3V	I/O	1408.48	LCD-D21/LVDS1-D2N
D41	PD16_LCD_LV1-CKP	H1	DCDC4/3.3V	I/O	1428.69	LCD-D22/LVDS1-CKP
D40	PD17_LCD_LV1-CKN	H2	DCDC4/3.3V	I/O	1429.06	LCD-D23/LVDS1-CKN
C52	PD18_LCD_LV1-D3P	J1	DCDC4/3.3V	I/O	1419.35	LCD-CLK/LVDS1-D3P
C53	PD19_LCD_LV1-D3N	J2	DCDC4/3.3V	I/O	1417.94	LCD-DE/LVDS1-D3N
D58	PD20_LCD_HSYNC	K6	DCDC4/3.3V	I/O	819.99	LCD-HSYNC
D59	PD21_LCD_VSYNC	H6	DCDC4/3.3V	I/O	816.11	LCD-VSYNC
D01	PD0_LCD_DSI-D0P	B5	DCDC4/3.3V	I/O	1223.97	LCD-D2/LVDS0-D0P/DSI-D0P
D02	PD1_LCD_DSI-D0N	A5	DCDC4/3.3V	I/O	1225.8	LCD-D3/LVDS0-D0N/DSI-D0N

6.5.2. LAYOUT 建议

- ❖ LCD 信号走线应考虑适当等长，组内长度可控制在 500mil 以内，单端阻抗 50 欧姆，注意 LCD 时钟信号的串扰，与其他信号应保持一定距离；
- ❖ LVDS 信号单端阻抗 50 欧姆，差分阻抗 100 欧姆，差分对内走线长度差小于 10Mil，组内走线长度差小于 100Mil；
- ❖ MIPI DSI 信号单端阻抗 50 欧姆，差分阻抗 100 欧姆，差分对内走线长度差小于 10Mil，组内走线长度差小于 100Mil；
- ❖ 显示信号走线参考平面应完整，走线不要跨分割，信号线间距至少 2W。

6.6. 摄像头接口

ECK33-B 系列核心板支持四路 MIPI-CSI 接口，硬件设计时，为了便于 PCB layout 设计，可以调换 A、B 通道与前后置摄像头之间的对应关系，但是，需要同时进行相关的软件适配。MCSIA 和 MCSIB、MCSIC 和 MCSID 才能组合成 4 lane 使用，MCSIA 和 MCSIB 用作 4 lane 时，需使用 MCSIA 的 CLK，MCSIB 的 CLK 可以悬空，也可以用作普通 IO，其中 MCSIA0、MCSIA1、MCSIB0、MCSIB1 依次对应 MCSI0/1/2/3；MCSIC 和 MCSID 用作 4 lane 时，需使用 MCSIC 的 CLK，MCSID 的 CLK 可以悬空，也可以用作普通 IO，其中 MCSIC0、MCSIC1、MCSID0、MCSID1 依次对应 MCSI0/1/2/3。

6.6.1. 接口定义

MCSI 接口定义表

LGA	Pin Name	MPU	Power Rail	Type	Length	Comment
-----	----------	-----	------------	------	--------	---------

C61	PK4_LB_MIA-CKN	B12	DCDC4/3.3V	I/O	1068.11	MCSIA-CKN
C40	PK5_LB_MIA-CKP	A12	DCDC4/3.3V	I/O	1068.25	MCSIA-CKP
C42	PK0_LB_MIA-D0N	B13	DCDC4/3.3V	I/O	1116.38	MCSIA-D0N
C62	PK1_LB_MIA-D0P	A13	DCDC4/3.3V	I/O	1115.17	MCSIA-D0P
C41	PK2_LB_MIA-D1N	B11	DCDC4/3.3V	I/O	1074.07	MCSIA-D1N
C79	PK3_LB_MIA-D1P	A11	DCDC4/3.3V	I/O	1074.92	MCSIA-D1P
C77	PK10_LB_MIB-CKN	B15	DCDC4/3.3V	I/O	1220.21	MCSIB-CKN
C59	PK11_LB_MIB-CKP	A15	DCDC4/3.3V	I/O	1220.22	MCSIB-CKP
C78	PK6_LB_MIB-D0N	B16	DCDC4/3.3V	I/O	1318.93	MCSIB-D0N
C60	PK7_LB_MIB-D0P	A16	DCDC4/3.3V	I/O	1320.11	MCSIB-D0P
C92	PK8_LB_MIB-D1N	B14	DCDC4/3.3V	I/O	1232.84	MCSIB-D1N
C39	PK9_LB_MIB-D1P	A14	DCDC4/3.3V	I/O	1234.82	MCSIB-D1P
C69	PK16_LB_MIC-CKN	B18	DCDC4/3.3V	I/O	1070	MCSIC-CKN
C70	PK17_LB_MIC-CKP	A18	DCDC4/3.3V	I/O	1071.65	MCSIC-CKP
C91	PK12_LB_MIC-D0N	B19	DCDC4/3.3V	I/O	1163.49	MCSIC-D0N
C76	PK13_LB_MIC-D0P	A19	DCDC4/3.3V	I/O	1161.67	MCSIC-D0P
C90	PK14_LB_MIC-D1N	B17	DCDC4/3.3V	I/O	1076.36	MCSIC-D1N
C75	PK15_LB_MIC-D1P	A17	DCDC4/3.3V	I/O	1078.19	MCSIC-D1P
C87	PK22_LB_MID-CKN	E17	DCDC4/3.3V	I/O	1045.88	MCSID-CKN
C88	PK23_LB_MID-CKP	D17	DCDC4/3.3V	I/O	1047.69	MCSID-CKP
C81	PK18_LB_MID-D0N	D19	DCDC4/3.3V	I/O	1057.66	MCSID-D0N
C82	PK19_LB_MID-D0P	E19	DCDC4/3.3V	I/O	1056.15	MCSID-D0P
C84	PK20_LB_MID-D1N	E15	DCDC4/3.3V	I/O	1006.6	MCSID-D1N
C83	PK21_LB_MID-D1P	D15	DCDC4/3.3V	I/O	1007.75	MCSID-D1P

6.6.2. LAYOUT 建议

- ❖ MIPI-CSI 信号差分阻抗 100 欧姆，差分对内走线长度差小于 10Mil，组内走线长度差小于 300Mil；
- ❖ NCSI 信号走线应考虑适当等长，组内长度可控制在 500mil 以内，单端阻抗 50 欧姆，注意时钟信号的串扰，与其他信号应保持一定距离；
- ❖ MIPI CSI 的差分线走线长度应小于 3000mil，需尽量保证走线的参考平面完整。

6.7.PCIe 接口

ECK33-B 系列核心板支持一组 PCIe2.1 x1 lane, 5Gbps/lane, 与 USB3.1 接口 IO 复用，可支持 RC 模式，支持 dual virtual channels, 8 inbound windows and 8 outbound windows 和 message signaled interrupts。

注意 PCIe21-PERSTN/PCIe21-WAKEN/PCIe21-CLKREQN 必须使用功能脚，不能用 G

PIO 模拟。

PCIE 接口 TXP/N 和 REFCLKP/N 上需要串联 100nF 电容。当使用 PCIE 作为板板间连接时, 请将此电容靠近发送端 PCIE 连接器布局; 当使用 PCIE 作为板内 CHIP TO CHIP 互连时, 请将此电容靠近发送端器件布局。当不使用 PCIE 接口时, 建议将 PCIE-CLKP/N 信号接地, 他信号可浮空。

6.7.1. 引脚定义

PCie 接口定义表

LGA	Pin Name	MPU	Power Rail	Type	Length	Comment
B22	PCIE21-REFCLKN	A24	CLDO1/1.8V	AI/O	1000.38	PCIE21-REFCLKN
B21	PCIE21-REFCLKP	B24	CLDO1/1.8V	AI/O	1000.01	PCIE21-REFCLKP
B19	U3-PCIE21-RXN	A23	CLDO1/1.8V	AI	1021.3	PCIE21-RXN
B18	U3-PCIE21-RXP	B23	CLDO1/1.8V	AI	1021.47	PCIE21-RXP
B41	U3-PCIE21-TXN	A22	CLDO1/1.8V	AO	1009.71	PCIE21-TXN
B40	U3-PCIE21-TXP	B22	CLDO1/1.8V	AO	1011.23	PCIE21-TXP

6.7.2. LAYOUT 建议

- ❖ PCIE 信号差分阻抗 100 欧姆, 差分对内走线长度差小于 10Mil, 组内走线长度差无特别要求;
- ❖ PCIE 信号走线应减少过孔换层次数, 信号走线长度应控制在 5000Mil 以内, 走线避免跨平面层分割。

6.8.SD/MMC 卡接口

ECK33-B 系列核心板搭载了 3 路 SMHC (SD/MM host controller) 控制器, 包括 SMHC0、SMHC1、SMHC2。SMHC0 符合 Secure Digital Memory v3.0 协议, 通常用于连接 SD 卡。SMHC1 符合 Secure Digital I/O v3.0 协议, 通常用于连接扩展功能, 例如 Wi-Fi 模块。SMHC2 符合 Multimedia Card v5.0 协议, 通常用于连接 eMMC 存储芯片。ECK33-B 系列核心采用 SMHC2 扩展了在板 eMMC 存储芯片。推荐底板使用 SMHC0 连接 SD 卡。SMHC1 推荐扩展其他设备或不使用。

SDC-CLK 脚不需要上拉电阻, 在核心板上靠近 SoC 端已经串联了 33 欧电阻, 可以降低 CLK 上的辐射干扰。

GPIO 口 PF3 和 PF6 在 SoC 内部有上拉电阻 (约 15K, 软件上需要使能), 外部设计 SDC0-CMD 以及 SDC0-DET 电路时候, 可以做 Cost down, 省去外部上拉的设计。

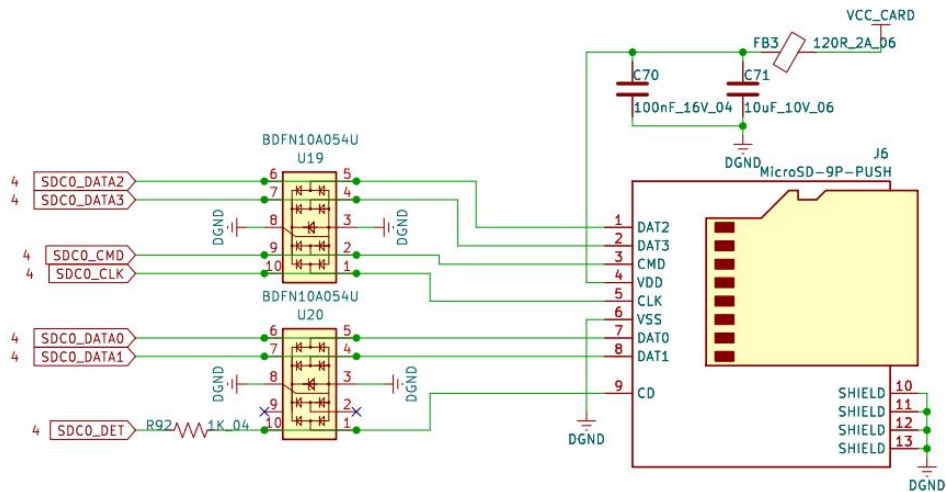
ECK33-B 系列核心板支持 SD3.0 协议, 会自动识别 Micro SD 卡的类型然后调节 IO 电压。若 Micro SD 卡是 SD3.0 存储卡, 核心板会工作在 SD3.0 模式, IO 电压则会从 3.3V 切换到 1.8V, PF 口 IO 供电会在 SoC 内部自动进行切换。

SD 接口信号线为高速信号线, 若运行 SD3.0 模式, 则要求信号线上并接的 TVS 管的寄生电容 $\leq 5\text{pF}$; 若只运行 SD2.0 模式, 则要求 TVS 管的寄生电容 $< 35\text{pF}$, 否则会影响数据传输质量。

建议保留 DET 信号线上的串联电阻, 避免在插入 Micro SD 卡时产生信号下冲, 影响信号质量, 同时能够提高 IO 信号的 ESD 性能。

通过 SMHC0 接口扩展 Micro SD 卡, 可参考以下原理图设计。

6.8.1. 参考电路



SD 卡参考电路图

6.8.2. 引脚定义

SMHC 接口信号引脚定义

LGA	Pin Name	MPU	Power Rail	Type	Length	Comment
B62	PF2_SDC0-CLK	AH22	CLDO3/3.3V	I/O	598.57	SDC0-CLK
B60	PF3_SDC0-CMD	AG22	CLDO3/3.3V	I/O	613.88	SDC0-CMD
B73	PF0_SDC0-D1	AH21	CLDO3/3.3V	I/O	611.9	SDC0-D1
B74	PF1_SDC0-D0	AG21	CLDO3/3.3V	I/O	609.63	SDC0-D0
B72	PF5_SDC0-D2	AH23	CLDO3/3.3V	I/O	675.04	SDC0-D2
B71	PF4_SDC0-D3	AJ23	CLDO3/3.3V	I/O	613.14	SDC0-D3
C32	PG0_SDC1-CLK	R29	BLDO1/3.3V	I/O	1259.49	SDC1-CLK
C31	PG1_SDC1-CMD	T27	BLDO1/3.3V	I/O	1242.22	SDC1-CMD
C10	PG2_SDC1-D0	R28	BLDO1/3.3V	I/O	1296.82	SDC1-D0
C09	PG3_SDC1-D1	R27	BLDO1/3.3V	I/O	1238.9	SDC1-D1

C08	PG4_SDC1-D2	U29	BLDO1/3.3V	I/O	1254.86	SDC1-D2
C07	PG5_SDC1-D3	U28	BLDO1/3.3V	I/O	1268.64	SDC1-D3

6.8.3. LAYOUT 建议

- ❖ SMHC 信号按照单端 50 欧姆阻抗控制，底板阻抗控制建议保持一致；
- ❖ SMHC 信号底板组内等长控制在 150Mil 内；
- ❖ 插入检测信号串联 1K 欧姆电阻，提高 ESD 性能；
- ❖ 时钟信号与其他信号的距离遵循 3W 规则。

6.9.USB 接口

ECK33-B 系列核心板有三个 USB 接口：USB0、USB1 和 USB2。这里的 ‘0 1 2’ 代指 USB 的序号，而 ‘2.0’ ‘3.1’ 代指 USB 标准版本。核心板的 USB0 和 USB1 是 USB 2.0 接口，USB2 是 USB3.1 接口。注意，USB2 的 USB2.0 信号与 USB1 共享 PHY，而 USB2 的 USB 3.1 信号与 PCI 共享 1 lane combo PHY，因此，核心板最多支持 2 个 USB2.0 同时使用，并且 PCIe 和 USB3.1 SS 接口不能同时使用。

USB0 和 USB2 支持 OTG 功能，USB1 仅支持 HOST 功能。程序烧录只能通过 USB0 进行。

使用 USB2 时，USB1 的接口被复用为 USB2 的 USB 2.0 接口，因此 USB1 和 USB2 不能同时使用。

USB2.0 支持如下速率：HS，480Mbit/s、FS，12Mbit/s、LS，1.5Mbit/s，USB3.1 支持如下速率：SS，5Gbit/s、HS，480Mbit/s、FS，12Mbit/s，设计时不建议贴近最大值使用。

USB 接口信息表

USB 接口	控制器	传输速度等级
USB0	USB2.0 OTG	HighSpeed, 480Mbps
USB1	USB2.0 Host	HighSpeed, 480Mbps
USB2	USB3.1 OTG	HighSpeed, 480Mbps
USB3		SuperSpeed, 5Gbps

USB0 支持 OTG 功能，在固件镜像烧录时 SoC 默认作为 Device。在系统上电后，系统结合 USB0-ID 引脚和 USB0-VBUSDET 引脚的电平状态，实现 USB0 作为 Host/Device 的状态检测。USB0-ID，USB0-VBUSDET 引脚可选择其他 GPIO 替代。

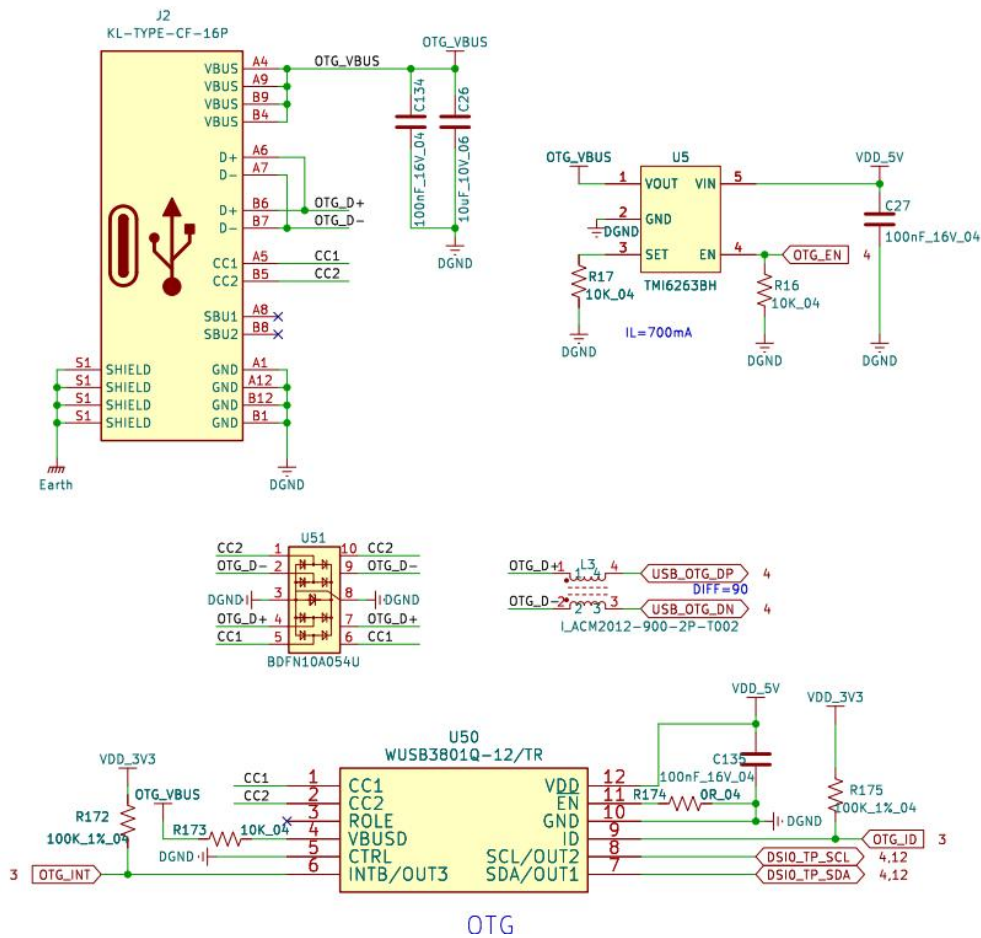
PCIe2.1 控制器与 USB3.1 复用 PHY，同时只能使用其中一个。无论选择 PCIe2.1 还是 U

SB3.0。在使用 USB3.0 而不使用 PCIe2.1 时, PCIe2.1 信号中的 PCIE-REF-CLKP 和 PCIE-REF-CLKN 需要接地。

USB2.0 接口 DM/DP、USB3.0 接口 TX/RX 信号线都需要进行 TVS 防护。USB2.0 接口建议选用的 TVS 器件寄生电容 $<2\text{pF}$, USB3.0 接口要求对地并接的 TVS 管的寄生电容 $<0.5\text{pF}$, 钳位电压能力尽可能强, 建议钳位电压 $<10\text{V}@8\text{KV}$ (IEC61000-4-2)。

USB OTG 接口 DM/DP 信号做 TVS 保护时, 建议 TVS 不要连接 OTG 接口的 VBUS 电源。因为该电源可能处于关断状态, 不仅不能提供有效的 ESD 保护, 还可能引入干扰。

6.9.1. OTG 接口参考电路



OTG 接口参考电路图

6.9.2. 引脚定义

USB 接口信号引脚定义

LGA	Pin Name	MPU	Power Rail	Type	Length	Comment
B19	U3-PCIE21-RXN	A23	CLDO1/1.8V	AI	1021.3	USB2-U3-RXN
B18	U3-PCIE21-RXP	B23	CLDO1/1.8V	AI	1021.47	USB2-U3-RXP

B41	U3-PCIE21-TXN	A22	CLDO1/1.8V	AO	1009.71	USB2-U3-TXN
B40	U3-PCIE21-TXP	B22	CLDO1/1.8V	AO	1011.23	USB2-U3-TXP
C24	USB0-DM	B20	CLDO3/3.3V	AI/O	525.85	USB0-DM
C25	USB0-DP	A20	CLDO3/3.3V	AI/O	525.91	USB0-DP
C46	USB1-DM	B21	CLDO3/3.3V	AI/O	365.21	USB1-DM
C47	USB1-DP	A21	CLDO3/3.3V	AI/O	366.87	USB1-DP

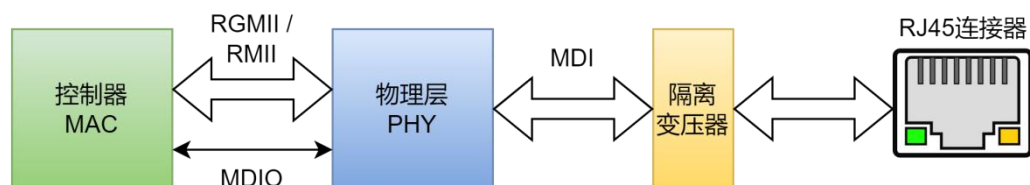
6.9.3. LAYOUT 建议

- ❖ USB 信号走线做等长控制，差分对内误差不大于 50Mil，相邻差分对间距 3W 以上；
- ❖ USB 信号的差分阻抗按 90 欧姆控制；
- ❖ USB 信号走线的长度小于 6000Mil。

6.10. 以太网接口

ECK33-B 系列核心板支持 2 路 10M/100M/1000M 自适应以太网控制器。以太网控制器支持 RGMII 与 RMII 接口。

通常一个 RJ45 以太网接口主要由以太网控制器 MAC (Media Access Control)，以太网物理层接口 PHY (Physical Layer)，以太网变压器，RJ45 连接器几部分组成，如下图所示。



RJ45 以太网组成

ECK33-B 系列核心板板内没有设计以太网 PHY 电路，用户使用以太网功能，需要在底板上设计 PHY 接口芯片电路。底板 PHY 接口芯片电路设计可以参考亿佰特单板机产品图纸。

6.10.1. 引脚定义

以太网接口信号引脚定义

LGA	Name	MPU	Power Rail	Type	Length	Comment
D79	PJ1_MII0-RXD0	N3	DCDC4/3.3V	I/O	1103.19	RGMII0-RXD0
D78	PJ0_MII0-RXD1	P1	DCDC4/3.3V	I/O	1122.55	RGMII0-RXD1
D77	PJ12_MII0-RXD2	P2	DCDC4/3.3V	I/O	1111.79	RGMII0-RXD2
D76	PJ11_MII0-RXD3	N2	DCDC4/3.3V	I/O	1101.07	RGMII0-RXD3
D69	PJ2_MII0-RXCTL	P3	DCDC4/3.3V	I/O	1154.27	RGMII0-RXCTL

D80	PJ13_MII0-RXCK	T2	DCDC4/3.3V	I/O	1116.81	RGMII0-RXCK
D68	PJ5_MII0-TXD0	T3	DCDC4/3.3V	I/O	1243.91	RGMII0-TXD0
D67	PJ4_MII0-TXD1	P4	DCDC4/3.3V	I/O	1237.13	RGMII0-TXD1
D66	PJ15_MII0-TXD2	T5	DCDC4/3.3V	I/O	1237.13	RGMII0-TXD2
D65	PJ14_MII0-TXD3	T4	DCDC4/3.3V	I/O	1230.52	RGMII0-TXD3
D52	PJ7_MII0-TXCTL	T6	DCDC4/3.3V	I/O	1255.22	RGMII0-TXCTL
D51	PJ6_MII0-TXCK	T7	DCDC4/3.3V	I/O	1287.53	RGMII0-TXCK
D54	PJ8_MII0-MDC	P5	DCDC4/3.3V	I/O	1228.68	RGMII0-MDC
D53	PJ9_MII0-MDIO	K5	DCDC4/3.3V	I/O	1224.94	RGMII0-MDIO
D35	PJ10_MII0-2550M	U2	DCDC4/3.3V	I/O	1093.12	RGMII0-EPHY-25/50M
D34	PJ3_MII0-CLKIN	U3	DCDC4/3.3V	I/O	1043.85	RGMII0-CLKIN
D32	PJ17_MII1-RXD0	M3	DCDC4/3.3V	I/O	1101.09	RGMII1-RXD0
D31	PJ16_MII1-RXD1	M1	DCDC4/3.3V	I/O	1123.79	RGMII1-RXD1
D30	PJ28_MII1-RXD2	K1	DCDC4/3.3V	I/O	1055.26	RGMII1-RXD2
D29	PJ27_MII1-RXD3	M4	DCDC4/3.3V	I/O	1055.63	RGMII1-RXD3
D47	PJ18_MII1-RXCTL	M2	DCDC4/3.3V	I/O	1049.01	RGMII1-RXCTL
D46	PJ29_MII1-RXCK	K2	DCDC4/3.3V	I/O	1067.17	RGMII1-RXCK
D13	PJ21_MII1-TXD0	R2	DCDC4/3.3V	I/O	1176.28	RGMII1-TXD0
D12	PJ20_MII1-TXD1	R3	DCDC4/3.3V	I/O	1170.76	RGMII1-TXD1
D11	PJ31_MII1-TXD2	M6	DCDC4/3.3V	I/O	1204.79	RGMII1-TXD2
D10	PJ30_MII1-TXD3	M7	DCDC4/3.3V	I/O	1166.77	RGMII1-TXD3
D09	PJ23_MII1-TXCTL	P6	DCDC4/3.3V	I/O	1156.71	RGMII1-TXCTL
D08	PJ22_MII1-TXCK	P7	DCDC4/3.3V	I/O	1135.2	RGMII1-TXCK
D63	PJ24_MII1-MDC	K4	DCDC4/3.3V	I/O	973.17	RGMII1-MDC
D62	PJ25_MII1-MDIO	K3	DCDC4/3.3V	I/O	989.53	RGMII1-MDIO
D49	PJ26_MII1-2550M	M5	DCDC4/3.3V	I/O	922.82	RGMII1-EPHY-25/50M
D48	PJ19_MII1-CLKIN	L1	DCDC4/3.3V	I/O	840.87	RGMII1-CLKIN

6.10.2. LAYOUT 建议

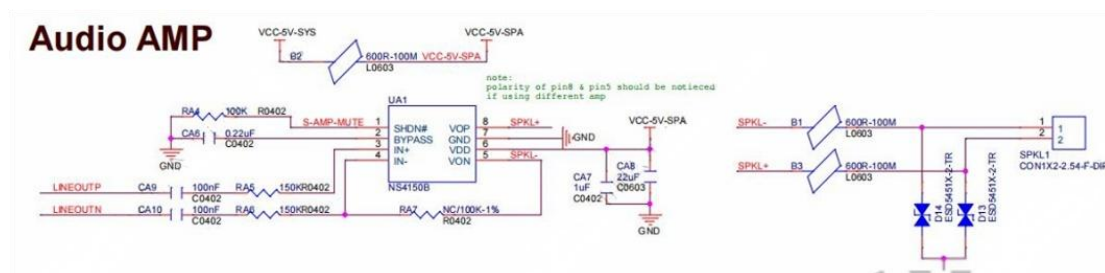
- ❖ RGMII 信号发送和接收分组做等长控制，误差 100Mil，线间距 2W 以上；
- ❖ 网络差分信号做等长控制，差分对内误差 10Mil，相邻差分对间距 3W 以上；
- ❖ 网口变压器靠近 PHY 芯片放置，距离建议不超过 20mm；
- ❖ PHY 芯片的电源引脚去耦电容靠近 PHY 芯片放置。

6.11.模拟音频接口

T536 芯片内部集成了音频 codec 功能，可提供简单的模拟音频输出接口。ECK33-B 核心板引出了 1 路模拟音频输出接口（LINEOUTLP、LINEOUTLN），可以满足简单的单声

道输出应用。下图为 Speaker 输出的参考电路。

6.11.1. 参考电路



音频输出参考原理图

6.11.2. 引脚定义

模拟音频信号引脚定义

LGA	Name	MPU	Power Rail	Type	Length	Comment
C02	LINEOUTN	D29	ALDO4/1.8V	AO		
C01	LINEOUTP	D28	ALDO4/1.8V	AO		

6.11.3. LAYOUT 建议

- ❖ 靠近接口放置 TVS;
- ❖ 模拟信号走线, 应远离干扰, 可包地处理。

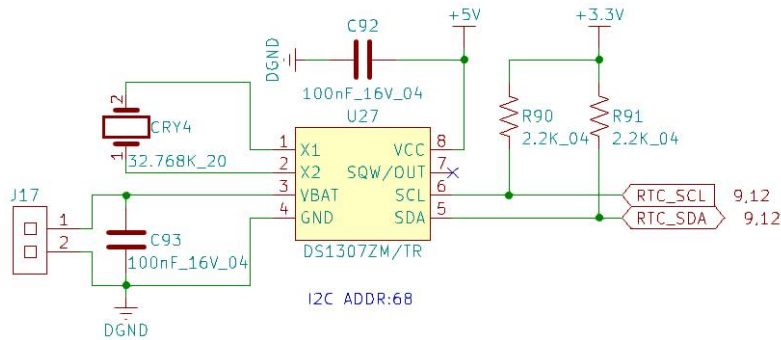
6.12. 数字音频接口

ECK33-B 核心板可以支持 4 路 I2S/PCM、4 路 DIMC、1 路 OWA 数字音频接口。对于 I2S/PCM 接口, 在底板电路设计中, 需要把数字音频接口 I2S/PCM 信号接到音频编解码芯片上, 通过音频编解码芯片实现耳机、麦克风、扬声器等音频接口功能。

6.13. RTC

ECK33-B 核心板上没有使用备用电池供电的 RTC, 如果用户需要这种 RTC 功能, 可以通过 I2C 总线在底板上扩展该功能。

6.13.1. 参考电路



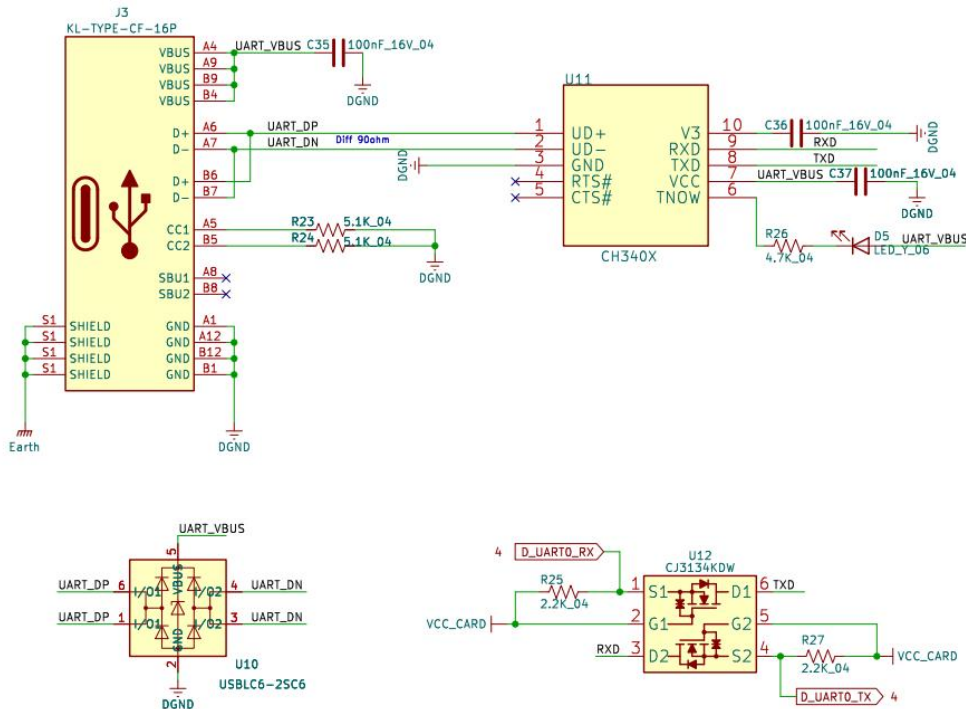
RTC 参考电路图

6.14.UART 接口

ECK33-B 核心板最大支持 17 路的异步串口，最高支持 10Mbps 波特率。详细的串口性能指标见处理器手册《T536_User Manual》。核心板默认使用 UART 0 作为调试串口。底板设计调试串口时，需要注意串口上电时序问题。

6.14.1. 参考电路

为方便调试，底板上可以通过 USB 转串口芯片将调试串口引出为 USB 接口，USB 转串口电路原理图可参考下图。CH343G 芯片提供了 VIO 电源，可以有效地解决串口 I/O 电平兼容和电源域上电时序的问题。



USB 调试串口参考原理图

6.15.SPI 接口

ECK33-B 系列核心板引出 6 路 SPI 接口, 支持主/从模式。SPI 信号包括 SPI_CLK、SPI_SS、SPI_MOSI 和 SPI_MISO, 设计时要先确认主从设备的关系, 进而确认 MOSI 和 MISO 信号的方向。同时 ECK33-B 系列核心板的 SPI 接口还支持 DBI (display bus interface) 模式。

6.16.I2C 接口

ECK33-B 系列核心板支持 9 路 I2C (TWI) 控制器, 支持 2 种时钟频率模式, 标准模式下的速率为 100Kbit/s, 快速模式下的速率为 400Kbit/s。

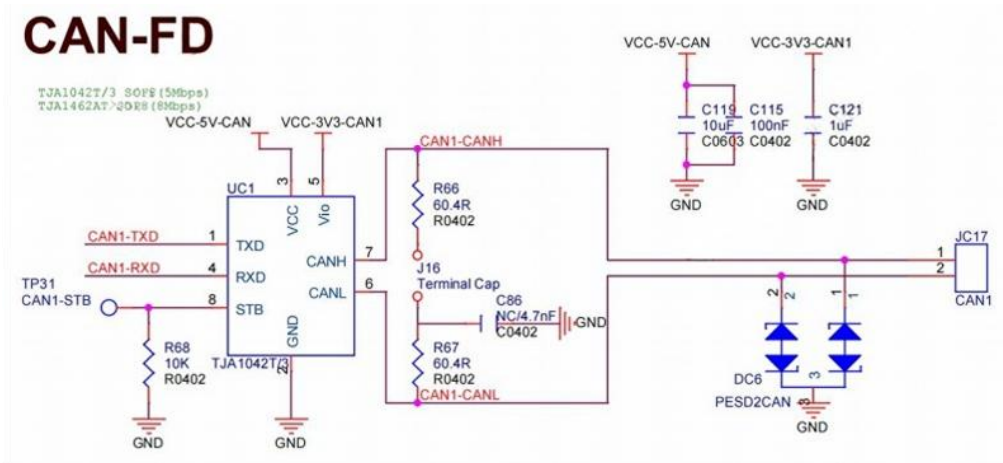
同一 I2C 总线下可以挂载若干个设备, 在原理图设计时需要注意以下几点:

- a) 检查同一总线下的设备地址是否冲突;
- b) 保证每条 I2C 总线上都有一对上拉电阻, 阻值建议 2.2K~10K, 但不要重复添加;
- c) 核心板内未提供 I2C 总线上拉电阻, 需要用户在底板应用时上拉;
- d) 检查设备的 I2C 接口电平是不是 3.3V, 如果不是, 需要加电平转换电路;
- e) 检查 I2C 接口电源轨是否一致, 不同时间域的 I2C 接口互连时, 需要考虑总线开关电路;
- f) 同一总线下的设备数量不要过多, 否则有可能超出 I2C 规范要求的 400pF 的负载电容限制, 影响信号波形。

6.17.CAN 接口

ECK33-B 系列核心板支持 4 路 CAN(CAN-FD)控制器, 遵循 ISO-11898 协议。用户进行设计时, 需在底板上选用可满足应用速率需求的 CAN 收发器, 此外 CAN 的速率还与线缆长度、组网情况等有关系。

6.17.1. 参考电路



CAN-FD 接口参考原理图

6.18.ADC 接口

ECK33-B 系列核心板提供 2 种 ADC 接口，分别是 1 路 LRADC (Low Rate ADC)，1 8 (T536 有 21 路 GPADC，其中有 3 路用于启动相关的功能，不能用于 ADC 功能) 路专用 GPADC (General Purpose ADC)。

LRADC，6bit 分辨率，应用于按键电压识别，最大采样率 2KHz，采样电压范围为：0 ~1.286V。LRADC 应用于按键识别时，如按键采用分压电阻方式时，设计上请保证每个键值之间的电压间隔大于 0.2V 以上。推荐使用 1%精度电阻。若不需要按键，且考虑 SDK 兼容，则 LRADC 必须加 100K 上拉电阻。否则必须确保软件关闭了 LRADC 相关配置后，LRADC 才可以 floating。

GPADC 的规格为 12 位采样分辨率和 10 位精度，取值范围为 0V 到 1.8V，使用时建议预留调试滤波电容。当对外接口需要使用 GPADC 采集时，可添加 ESD 管、串阻来增强抗 ESD 能力。GPADC 信号线可预留 10nF 电容，过滤高频噪声。

GPADC 等效内阻与采样率和保持时间相关，采样率越高、保持时间越短，GPADC 等效内阻越小；在使用电阻分压法采集高电压时，需注意分压电阻取值不能过大，在默认 1M Hz 采样率下，两个分压电阻阻值之和不能超过 3.9K 欧姆。当采用不同采样率时，需注意对应最大的分压电阻取值，同时需修改相应的保持时间参数。

PA 部分 GPIO 与 GPADC0-0~GPADC0-9 复用管脚。为保障 ADC 精度，在 IO 分配时，尽量避免 PA 组存在 GPIO 与 GPADC 同时使用的情况。即：要么 PA 口功能只做 GPIO，要么 PA 口功能只做 GPADC。当一定要出现混用情况时，需做以下约束：无论输出还是输入，

GPIO 上的电压频率都需要尽量低，不得高于 GPADC0 的采样频率的 80%。

6.18.1. 引脚定义

ADC 接口引脚定义

LGA	Name	MPU	Power Rail	Type	Length	Comment
A32	GPADC1-0	J29	ALDO4/1.8V	AI		1nF pull down
A33	GPADC1-1	H28	ALDO4/1.8V	AI		1nF pull down
A34	GPADC1-2	J27	ALDO4/1.8V	AI		1nF pull down
A35	GPADC1-3	J28	ALDO4/1.8V	AI		1nF pull down
A70	GPADC1-7	K26	ALDO4/1.8V	AI		
A71	GPADC1-8	L28	ALDO4/1.8V	AI		
A72	GPADC1-9	M24	ALDO4/1.8V	AI		
A83	GPADC2-0	L27	ALDO4/1.8V	AI		
A84	GPADC2-1	M25	ALDO4/1.8V	AI		
A85	GPADC2-2	M26	ALDO4/1.8V	AI		
A86	GPADC2-3	M27	ALDO4/1.8V	AI		
A54	GPADC2-4	M28	ALDO4/1.8V	AI		
A50	GPADC2-5	N27	ALDO4/1.8V	AI		
A51	GPADC2-6	N28	ALDO4/1.8V	AI		
A55	GPADC2-7	N29	ALDO4/1.8V	AI		
A52	GPADC2-8	P26	ALDO4/1.8V	AI		
A53	GPADC2-9	P27	ALDO4/1.8V	AI		
A11	GPADC3-0	H27	ALDO4/1.8V	AI		
D73	PA_GPADC00	H24	CLDO4/3.3V	I/O		GPADC0-0
D74	PA_GPADC01	H25	CLDO4/3.3V	I/O		GPADC0-1
A21	PA_GPADC02	F27	CLDO4/3.3V	I/O		GPADC0-2
A42	PA_GPADC03	E28	CLDO4/3.3V	I/O		GPADC0-3
A43	PA_GPADC04	E29	CLDO4/3.3V	I/O		GPADC0-4
A41	PA_GPADC05	F28	CLDO4/3.3V	I/O		GPADC0-5
A20	PA_GPADC06	G29	CLDO4/3.3V	I/O		GPADC0-6
A44	PA_GPADC07	G28	CLDO4/3.3V	I/O		GPADC0-7
A45	PA_GPADC08	G27	CLDO4/3.3V	I/O		GPADC0-8
A22	PA_GPADC09	H26	CLDO4/3.3V	I/O		GPADC0-9

6.19.LocalBus 接口

ECK33-B 系列核心板支持 1 路高速并行总线 LocalBus，速率最高支持 100M*16bit（由于引脚复用原因核心板最高只支持 16 位）。可以用于与 FPGA 进行数据交换。评估单板机上提供了一组 8 位的 LocalBus 接口用于连接 FPGA 设备。

6.19.1. 引脚定义

LocalBus 信号引脚定义

LGA	Name	MPU	Power Rail	Type	Length	Comment
C93	PE14_LB	B10	DCDC4/3.3V	I/O	918.94	LBUS-LCLK
C58	PE10_LB	D9	DCDC4/3.3V	I/O	702.54	LBUS-ALE
C73	PE15_LB	H13	DCDC4/3.3V	I/O	697.63	LBUS-INTR
C74	PE16_LB	G13	DCDC4/3.3V	I/O	692.85	LBUS-DRQ
C36	PE17_LB	F13	DCDC4/3.3V	I/O	822.86	LBUS-LBE
C37	PE8_LB	E9	DCDC4/3.3V	I/O	814.14	LBUS-WR
C38	PE9_LB	D11	DCDC4/3.3V	I/O	878.4	LBUS-READY
C19	PE0_LB	B9	DCDC4/3.3V	I/O	891.89	LBUS-CS0
C18	PE1_LB	G9	DCDC4/3.3V	I/O	880.47	LBUS-CS1
C17	PE2_LB	F9	DCDC4/3.3V	I/O	905.79	LBUS-CS2
C16	PE3_LB	G11	DCDC4/3.3V	I/O	965.05	LBUS-CS3
C57	PE11_LB	C10	DCDC4/3.3V	I/O	723.58	LBUS-BURST0
C56	PE12_LB	A10	DCDC4/3.3V	I/O	704.45	LBUS-BURST1
C35	PE13_LB	C9	DCDC4/3.3V	I/O	799.01	LBUS-BURST2
C15	PE4_LB	F11	DCDC4/3.3V	I/O	903.68	LBUS-DP0
C14	PE5_LB	E11	DCDC4/3.3V	I/O	864.55	LBUS-DP1
C13	PE6_LB	D13	DCDC4/3.3V	I/O	711.04	LBUS-DP2
C12	PE7_LB	E13	DCDC4/3.3V	I/O	742.66	LBUS-DP3
C42	PK0_LB_MIA-D0N	B13	DCDC4/3.3V	I/O	1116.38	LBUS-LD0
C62	PK1_LB_MIA-D0P	A13	DCDC4/3.3V	I/O	1115.17	LBUS-LD1
C41	PK2_LB_MIA-D1N	B11	DCDC4/3.3V	I/O	1074.07	LBUS-LD2
C79	PK3_LB_MIA-D1P	A11	DCDC4/3.3V	I/O	1074.92	LBUS-LD3
C61	PK4_LB_MIA-CKN	B12	DCDC4/3.3V	I/O	1068.11	LBUS-LD4
C40	PK5_LB_MIA-CKP	A12	DCDC4/3.3V	I/O	1068.25	LBUS-LD5
C78	PK6_LB_MIB-D0N	B16	DCDC4/3.3V	I/O	1318.93	LBUS-LD6
C60	PK7_LB_MIB-D0P	A16	DCDC4/3.3V	I/O	1320.11	LBUS-LD7

C92	PK8_LB_MIB-D1N	B14	DCDC4/3.3V	I/O	1232.84	LBUS-LD8
C39	PK9_LB_MIB-D1P	A14	DCDC4/3.3V	I/O	1234.82	LBUS-LD9
C77	PK10_LB_MIB-CKN	B15	DCDC4/3.3V	I/O	1220.21	LBUS-LD10
C59	PK11_LB_MIB-CKP	A15	DCDC4/3.3V	I/O	1220.22	LBUS-LD11
C91	PK12_LB_MIC-D0N	B19	DCDC4/3.3V	I/O	1163.49	LBUS-LD12
C76	PK13_LB_MIC-D0P	A19	DCDC4/3.3V	I/O	1161.67	LBUS-LD13
C90	PK14_LB_MIC-D1N	B17	DCDC4/3.3V	I/O	1076.36	LBUS-LD14
C75	PK15_LB_MIC-D1P	A17	DCDC4/3.3V	I/O	1078.19	LBUS-LD15

6.19.2. LAYOUT 建议

- ❖ 命令线（如 BURST 信号，WR 信号，RD 信号）以及地址数据线（LD[31:0]）参考时钟信号做等长，按照 150MHz 设计，建议控制在 300mil 以内，不得超过 500mil；
- ❖ 满足 3W 原则，信号线的过孔数量尽量相同；
- ❖ 参考平面完整等。

6.20.GPIO 接口

ECK33-B 系列核心板最大可提供 199 路 GPIO 接口，但大部分都存在复用功能。用户可根据自身需求对 GPIO 进行灵活配置。

6.21.硬件设计检查项

- ❖ 电源轨：检查 I/O 接口应用是否存在电源轨不一致的问题，例如 1.8V 的信号连接到 3.3V 的信号上。如果出现不同电源轨信号的连接需求，应采用电平转换电路处理。
- ❖ 上电时序：检查底板与核心板连接的信号是否存在底板信号先上电，或者两个板卡信号上电时间差异很大的情况。
- ❖ 上拉和下拉电阻：复用 I/O 接口在上电软件配置前存在输出状态不确定的情况，如果信号需要上电时保持稳定电平，应在底板上设计上下拉电阻。部分功能信号也需要在底板上设计上拉或下拉电阻，如 I2C 信号。在设计上拉电阻时应注意上拉电源轨的设计。
- ❖ ESD 保护：对外接口信号应考虑相应的 ESD 保护设计，ESD 方案的选择应考虑信号速率、通讯协议和应用环境的要求。
- ❖ 高速信号等长：高速信号应考虑 PCB 的等长设计，包括 USB、以太网、SDIO、显示等。
- ❖ 阻抗控制：高速信号应考虑 PCB 阻抗控制，阻抗控制的关键是保持阻抗的连续性，底板应参考核心板信号的阻抗进行设计。

7. 软件资源

ECB33-PGB 单板机搭载基于 Linux 5.10 版本内核的操作系统，单板机出厂附带嵌入式 Linux 系统开发所需要的交叉编译工具链 Buildroot 源码，U-boot 源代码，Linux 内核和各驱动模块的源代码，以及适用于 Windows 桌面环境和 Linux 桌面环境的各种开发调试工具。

操作系统：

1.Buildroot 构建的 Linux 文件系统

2.Ubuntu 移植的 Linux 文件系统

系统源码：

1.U-boot 2023

2.Kernel 5.10

3.BuildRoot 2022.05

4.Ubuntu 24.04

开发环境及工具：

1.USB 烧录工具：PhoenixSuit

2.SD 卡烧录工具：PhoenixCard

系统软件资源见下表：

系统软件资源表

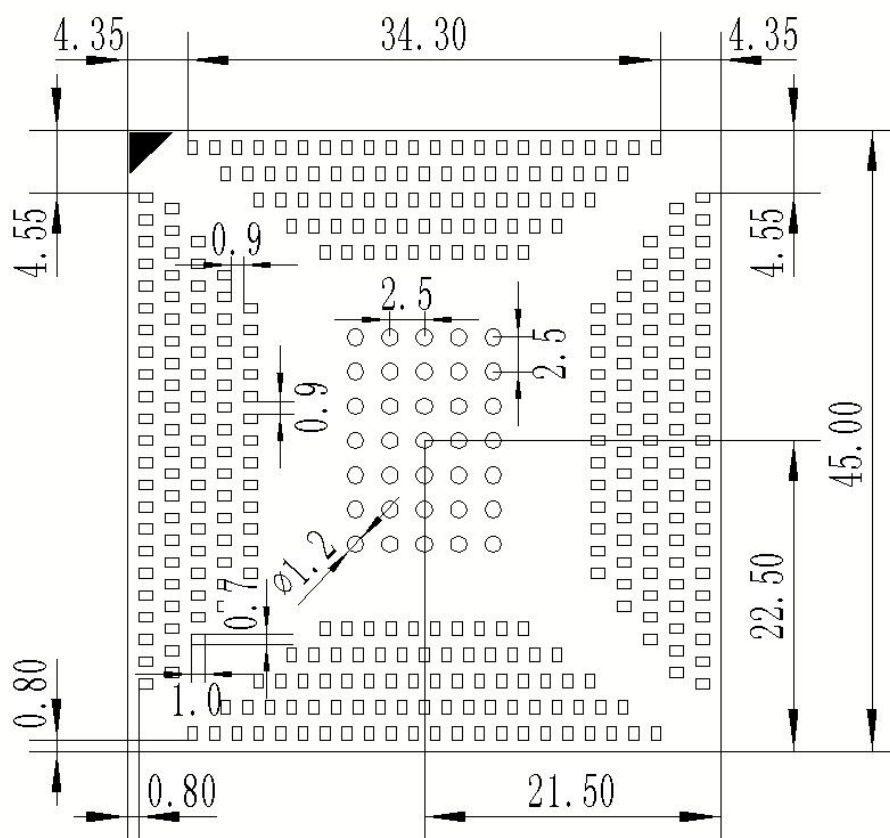
类别	名称	描述	源码
SPL	spl-pub	Boot0, 引导 uboot	<SDK>/brandy/brandy-2.0/spl-pub/
BOOT	u-boot 2023.04	引导程序	<SDK>/brandy/brandy-2.0/u-boot-2023/
Kernel	Kernel 5.10	Linux 内核	<SDK>/kernel/linux-5.10*/
Device Driver	Audio	内置音频驱动	<SDK>/bsp/drivers/sound/platform/*
	AWlink	CAN 驱动	<SDK>/bsp/drivers/can
	GMAC	内置 MAC 驱动	<SDK>/bsp/drivers/gmac
	GPADC	GPADC 驱动	<SDK>/bsp/drivers/gpadc
	GPIO	GPIO 驱动	<SDK>/bsp/drivers/pinctrl/
	DRM	显示驱动	<SDK>/bsp/drivers/drm/panel/*
	LRADC	按键模块驱动	<SDK>/bsp/drivers/lradc
	MMC	MMC 驱动	<SDK>/bsp/drivers/mmc
	SPI	SPI 驱动	<SDK>/bsp/drivers/spi
	TWI	I2C 驱动	<SDK>/bsp/drivers/twi
	UART	串口驱动	<SDK>/bsp/drivers/uart
	PCIE	PCIE 驱动	<SDK>/bsp/drivers/pcie
	LocalBus	LocalBus 驱动	<SDK>/bsp/drivers/lbc

	VIN	特定摄像头驱动程序	<SDK>/bsp/drivers/vin/modules/sensor/
操作系统	Buildroot 202205	202205 版本 Buildroot	<SDK>/buildroot/buildroot-202205
	Ubuntu	ubuntu24.04	<SDK>/buildroot/ubuntu
开发工具	PhoenixSuit	USB 烧录工具	/tools/PhoenixSuit
	PhoenixCard	SD 卡烧录工具	/tools/PhoenixCard

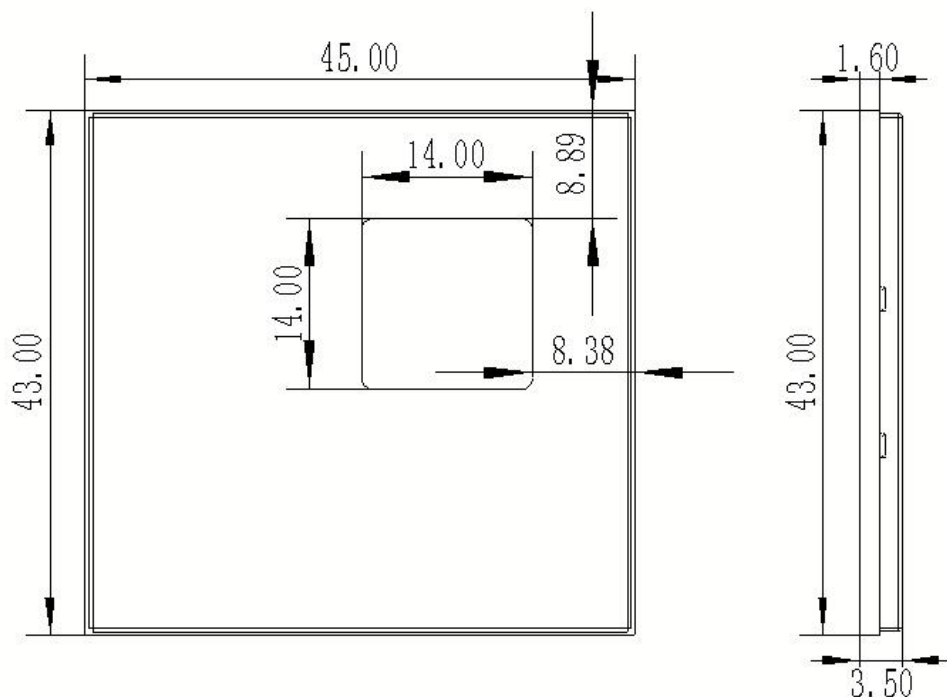
8. 结构尺寸

ECK33-B 系列核心板采用 381 PIN, LGA 接口形式, 可 SMT 焊接。核心板底层无器件, 无裸露走线, 底板设计简单。

ECK33-B 系列核心板长 45.0mm 宽 43.0mm, 长方形焊盘 (1.0×0.7mm) 346 个, 圆形焊盘 (直径 1.2mm) 35 个。构尺寸见下图, 以下尺寸单位为毫米 (mm), 结构尺寸公差 ±0.1mm, PCB 厚度公差 10%。



LGA 核心板结构尺寸图 (顶视图)



LGA 核心板屏蔽罩结构尺寸图

9. 焊接指导

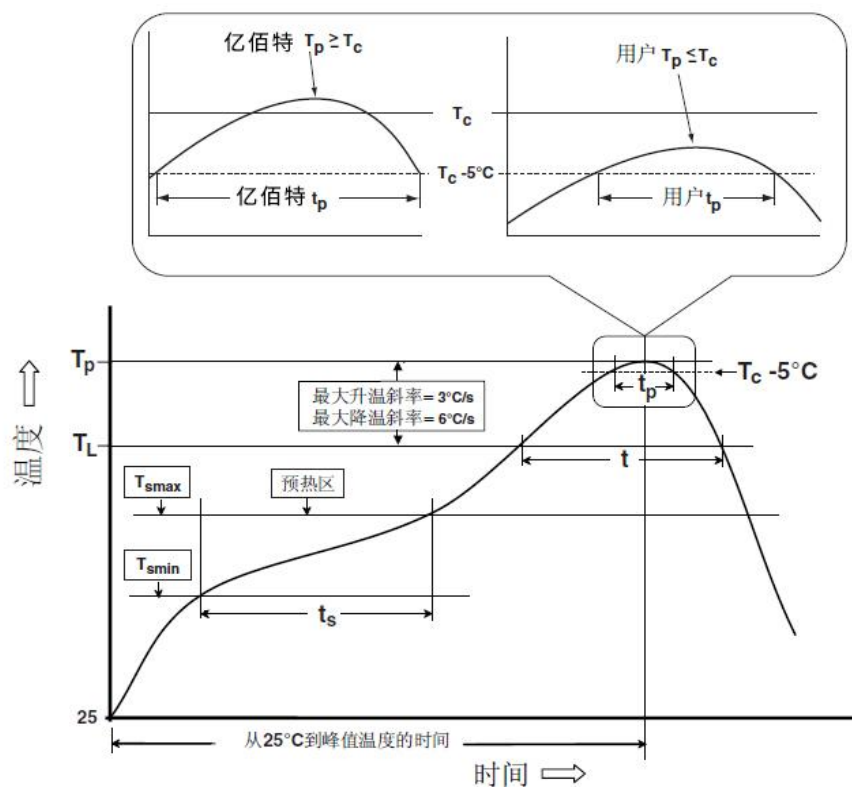
注意：LGA 接口形式的核心板，为保证模块印膏质量，模块焊盘部分对应的钢网厚度推荐为 0.15~0.18 mm。

9.1. 回流焊温度

回流焊温度表

回流焊曲线特征		有铅工艺组装	无铅工艺组装
预热/保温	最低温度 (T _{min})	100℃	150℃
	最高温度 (T _{max})	150℃	200℃
	时间 (T _{min} ~T _{min})	60-120 秒	60-120 秒
升温斜率 (TL~Tp)		3℃/秒, 最大值	3℃/秒, 最大值
液相温度 (TL)		183℃	217℃
TL 以上保持时间		60~90 秒	60~90 秒
封装体峰值温度 Tp		用户不能超过产品“潮湿敏感度”标签标注的温度。	用户不能超过产品“潮湿敏感度”标签标注的温度。
在指定分级温度 (Tc) 5℃ 以内的时间 (Tp), 见下图		20 秒	30 秒
降温斜率 (Tp~TL)		6℃/秒, 最大值	6℃/秒, 最大值
室温到峰值温度的时间		6 分钟, 最长	8 分钟, 最长
※温度曲线的峰值温度 (Tp) 容差定义是用户的上限			

9.2.回流焊曲线图



回流焊曲线图

10. 修订说明

修订说明表

版本	修改内容	修改时间	编制	校对	审批
V1.0	初稿	25-07-03	WFX	WYQ	WFX
V1.1	纠正 TWI、SPI 等功能数量； 增加 LGA 钢网厚度要求；	25-08-26	WFX	WYQ	WFX

11. 关于我们



销售热线: 4000-330-990

技术支持: support@cdebyte.com 官方网站: <https://www.ebyte.com>

公司地址: 四川省成都市高新西区西区大道 199 号 B5 栋

((()))[®]
EBYTE 成都亿佰特电子科技有限公司
Chengdu Ebyte Electronic Technology Co., Ltd.